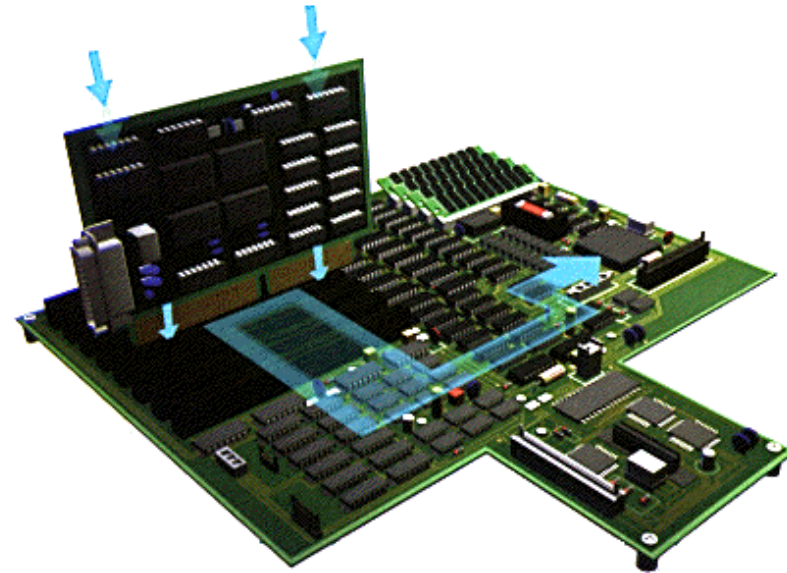




Tietokoneen rakenne

Väylät



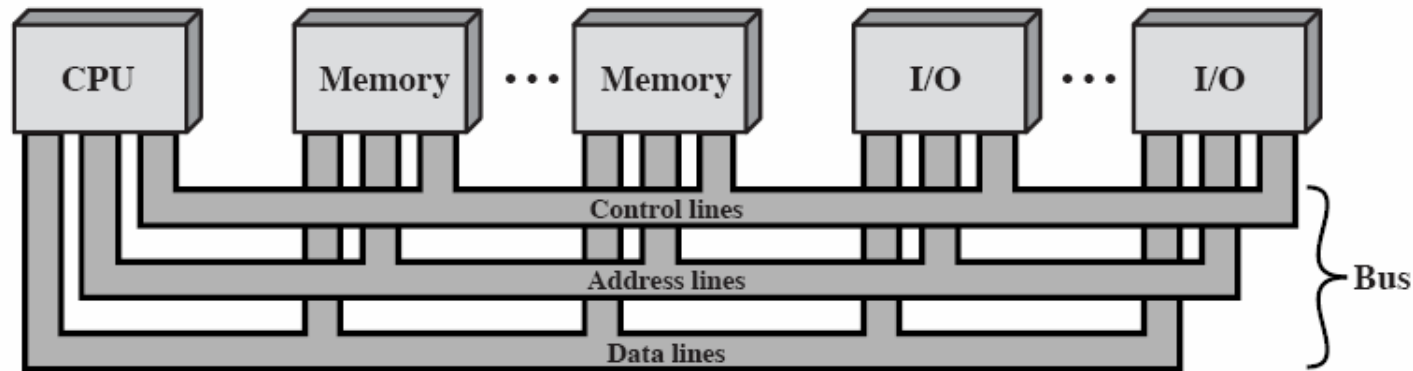
Stallings: Ch 3

- n Mitä väylällä liikkuu?
- n Väylän ominaisuuksia
- n PCI -väylä
- n PCI Express



Väylä

(Sta06 Fig 3.16)



- n Laitteiden väliseen kommunikointiin
- n Tav. yleislähetys: kaikki kuulevat kaiken
 - u Reagoi vain itselle kuuluvaan
- n Kullakin laitteella omat ohjaus- ja statustietonsa
 - u Laiteajuri (KJ) vie ohjaustiedon ohjaimen rekistereihin
 - ~ mistä, minne, paljonko, suunta
 - u Laiteajuri lukee statustietoa ohjaimen rekistereistä
 - § valmis toimimaan? onnistuiko? ...

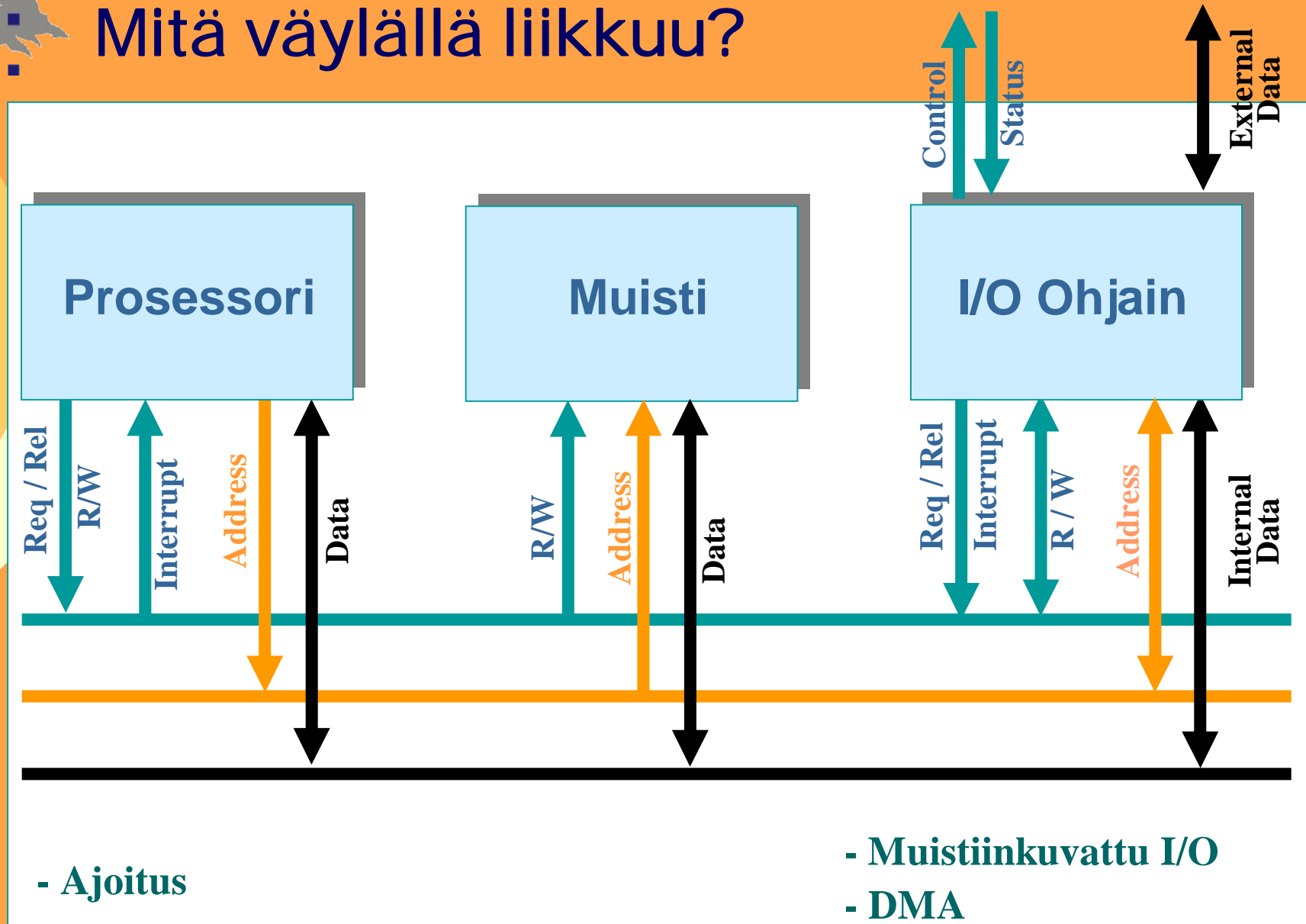


Mitä väylällä liikkuu?

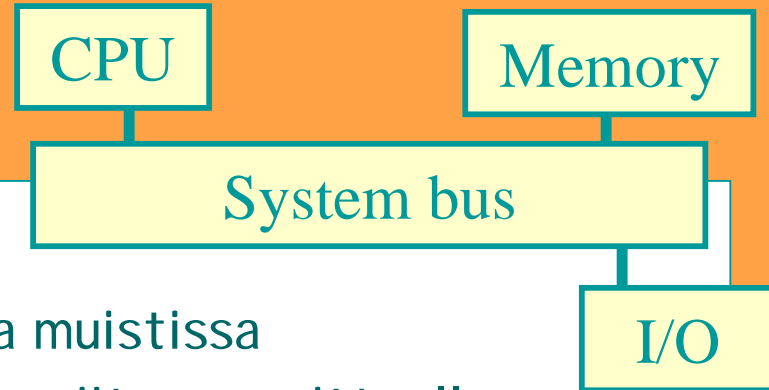
- n Ohjausväylä (~ johtimet)
 - u Ohjaus ja ajoitustietoa
 - § Lataa muistista, talleta muistiin (R/W)
 - § Keskeytyssignaali
 - § Kellosignaali
- n Osoiteväylä
 - u Lähteen / kohteen identifiointi
 - § Muistipaikan osoite, laiterekisterin osoite
 - § esim. Mistä käsky/data noudettava, minne data talletettava
 - u Leveys määrää osoiteavaruuden koon
 - § Suurin viitattavissaoleva muistipaikan numero
 - § Esim. 32 b $\bar{\text{O}}$ 4 GB
- n Dataväylä
 - u Käsiteltävän tiedon siirtämiseen: käskyt, data, DMA



Mitä väylällä liikkuu?



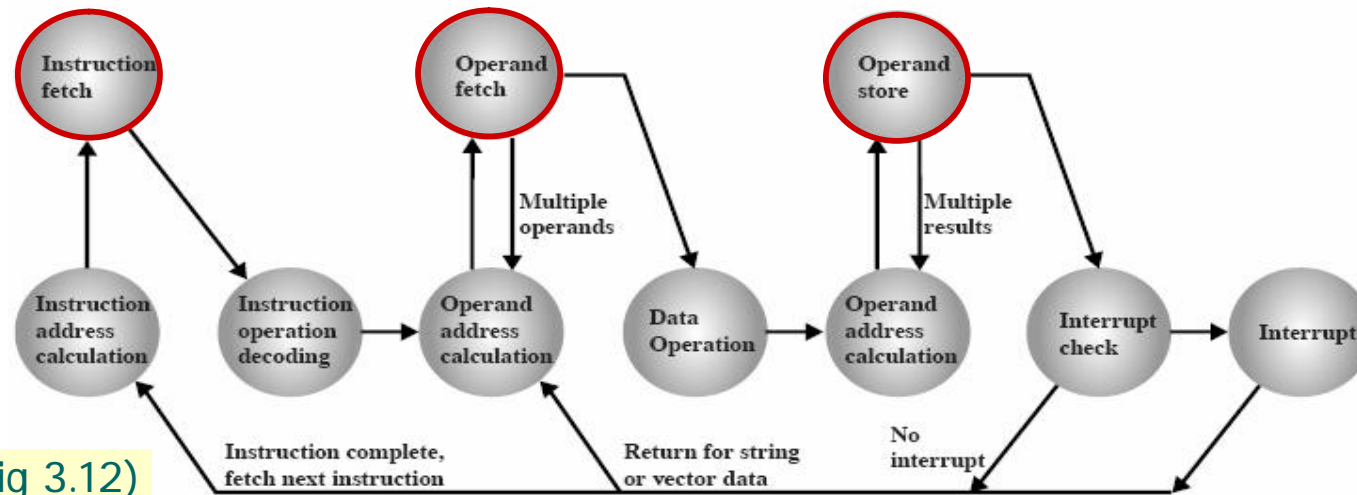
Väylä = pullonkaula?



von Neumann arkitehtuuri

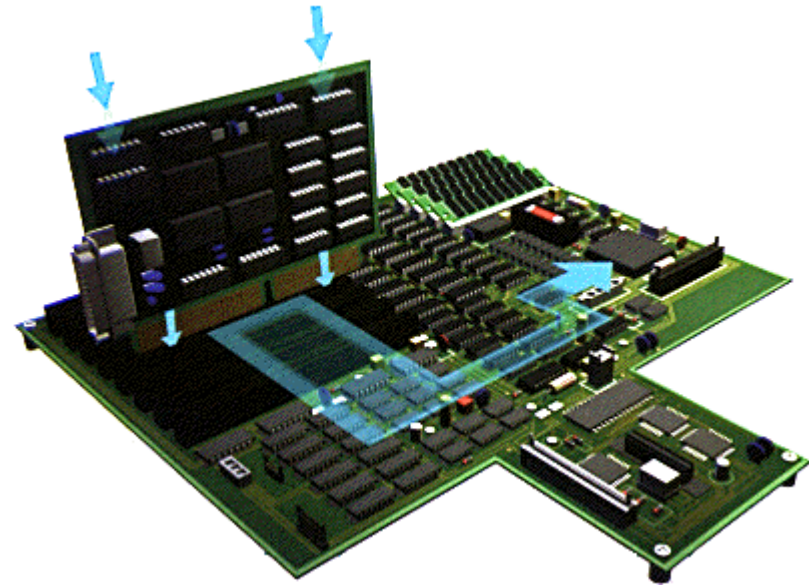
- u käskyt ja niiden käsittelemä data muistissa
- u kaikkeen muistissa olevaan dataan viitaan osoitteella
- u muistissa peräkkäin olevat käskyt suoritetaan peräkkäin ellei järjestystä eksplisiittisesti muuteta (hyppyt)

Fetch-Execute Cycle





Tietokoneen rakenne



Väylän
ominaisuuksia



Väylän ominaisuuksia

n Leveys

~ 50 - 100 johdinta - emolevyllä, kaapelissa, liittimessä

n Väylän tyyppi

u Dedikoitu (dedicated, non-multiplexed)

§ Osoitteelle ja datalle omat johtimet

u Aikavuoroteltu (time multiplexed)

§ Osoite ja data samoissa johtimissa

§ Address valid / data valid -johdin

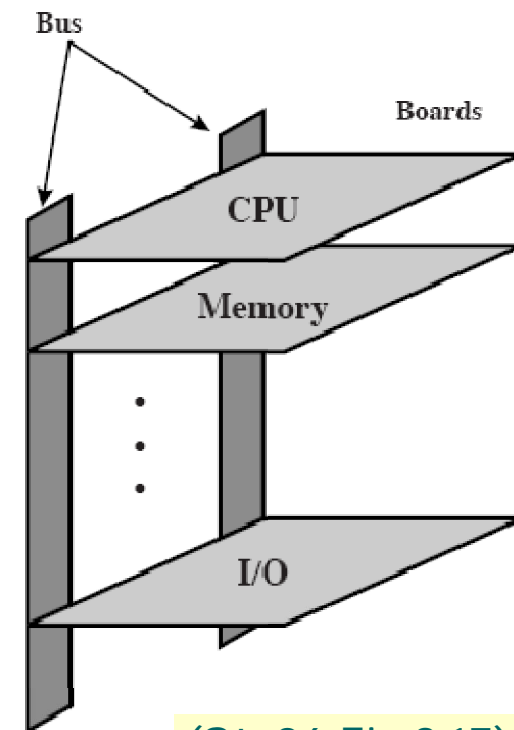
n Käyttövuoron varaus (arbitration)

u Keskitetty

§ yksi väyläohjain
(bus controller, arbiter)

u Hajautettu

§ tarvittava logiikka ohjaimissa



(Sta06 Fig 3.17)



Väylän ominaisuuksia

- n Tapahtumien ajoitus, tahdistus
 - u Synkroninen (tahdistettu)
 - § Säännöllisen kellopulssin avulla
 - u Asynkroninen
 - § Tarvittaessa erillisillä signaaleilla
 - u Liikennöinnissä yhteiset pelisäännöt, osapuolet tietävät mitä seuraavaksi tapahtuu
- n Tehokkuus
 - u Kaistanleveys (bandwidth)
 - § montako bittiä per sekunti



Synkroninen ajoitus

n Tahdistus kellon avulla

- u Ohjausväylässä mukaan kellosignaali (sykli 1-0)
- u Kaikki laitteet "kuulevat" saman syklin

n Tapahtuma vie tavallisesti vain yhden syklin

- u Alkaa aina kellosyklin alussa (leading edge)
- u Esim. datan lukeminen vie yhden syklin

n Väylään kytketyt laitteet toimivat samalla nopeudella

- u Hitain laite määrittelee kaikkien nopeuden
- u Laite tietää toisen laitteen nopeuden
 - tietää, milloin se on valmis seuraavaan tapahtumaan

n *"Tee tämä seuraavalla syklillä"*

- voi luottaa, että toinen laite tekee sen silloin!



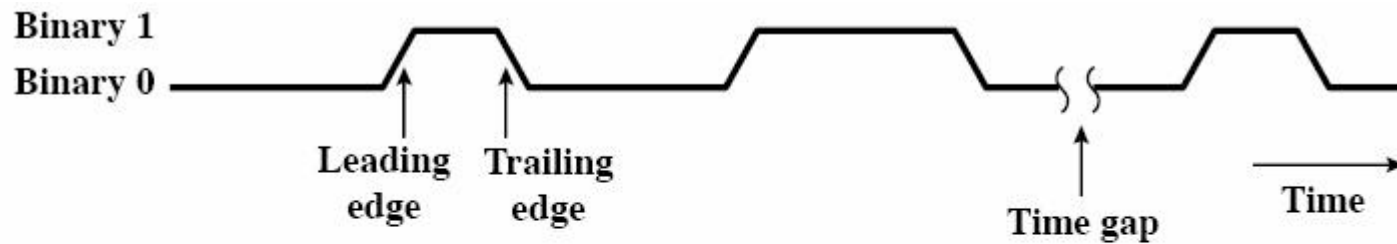
Asynkroninen ajoitus

- n Laitteiden ei tarvitse toimia samalla nopeudella
 - u Käsittelyaika määräytyy kunkin laitteen mukaan
 - u Laite ei voi päätellä milloin toinen osapuoli valmis
 - § Kauanko tapahtuma vie aikaa?
- n Tahdistus erityisen tahdistussignaalin avulla
 - u Lähetä tahdistussignaali, kun oma puuha valmis
 - § Esim. osoite ja data väylällä \bar{O} lähetä signaali "write" (eli muuta johtimen "write" jännite esim. ykköseksi)
 - § Esim. tieto kirjoitettu muistiin \bar{O} lähetä "ack"
 - u Seuraavan ajoitus riippuu edellisen päättymisestä
- n *"Tee tämä kun ehdit, kerro sitten kun on valmista"*

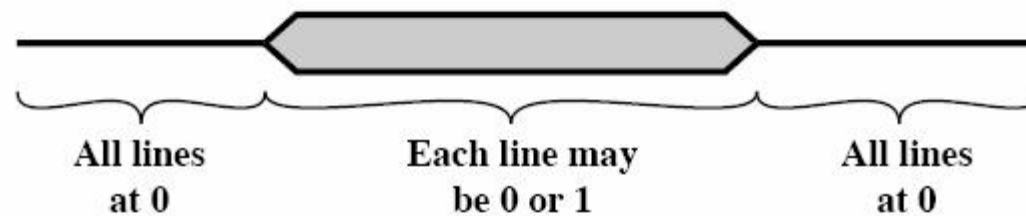


Ajoituskaavion lukeminen

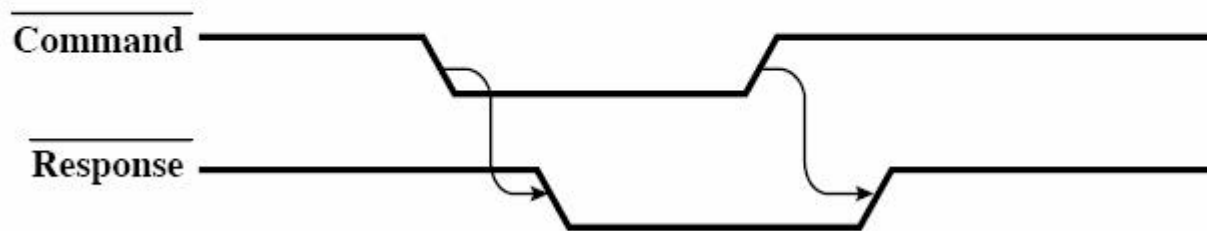
n Ks. Appendix 3a [Sta06, Ch 3]



(a) Signal as a function of time



(b) Groups of lines



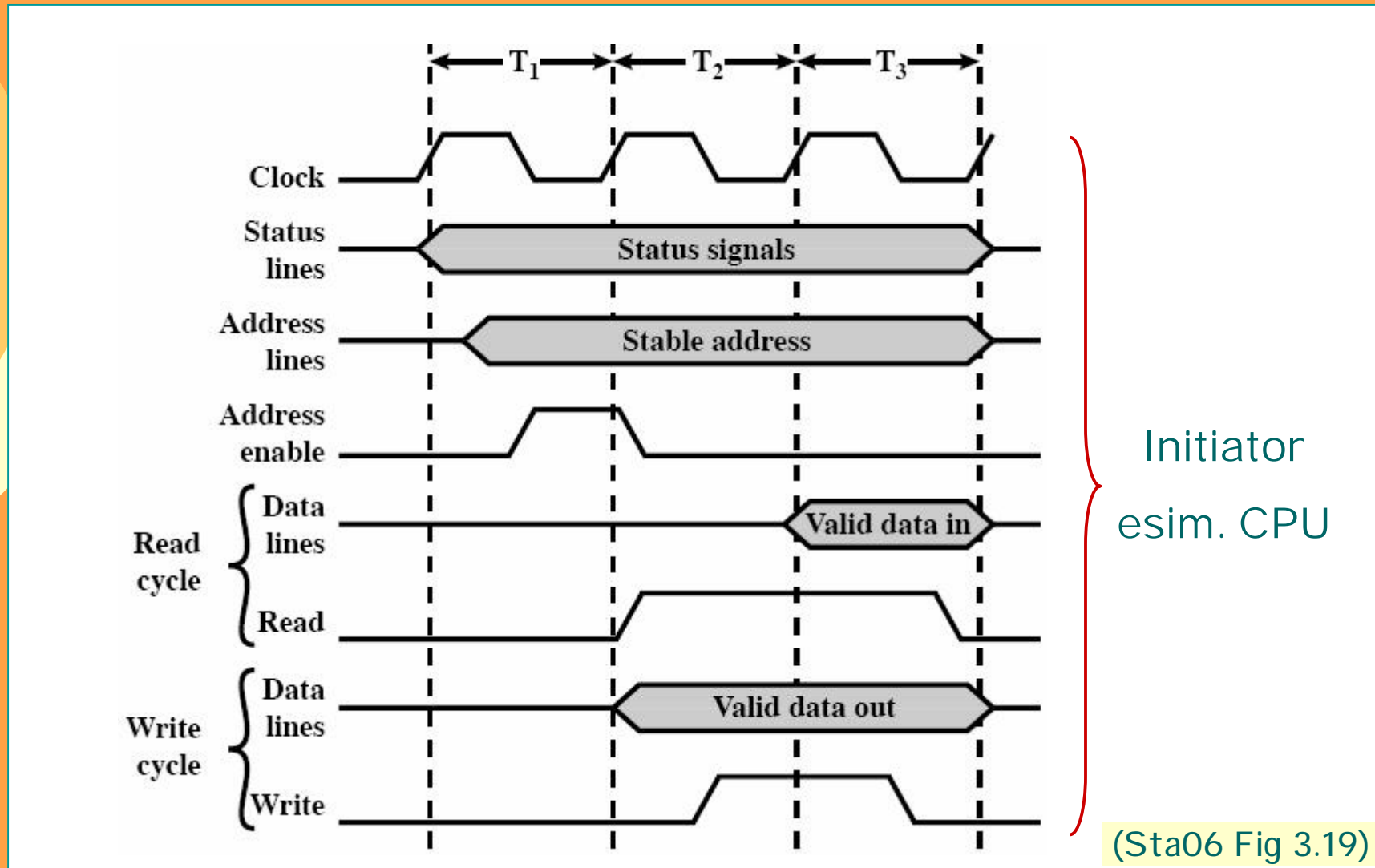
tai Response#

(c) Cause-and-effect dependencies

(Sta06 Fig 3.27)

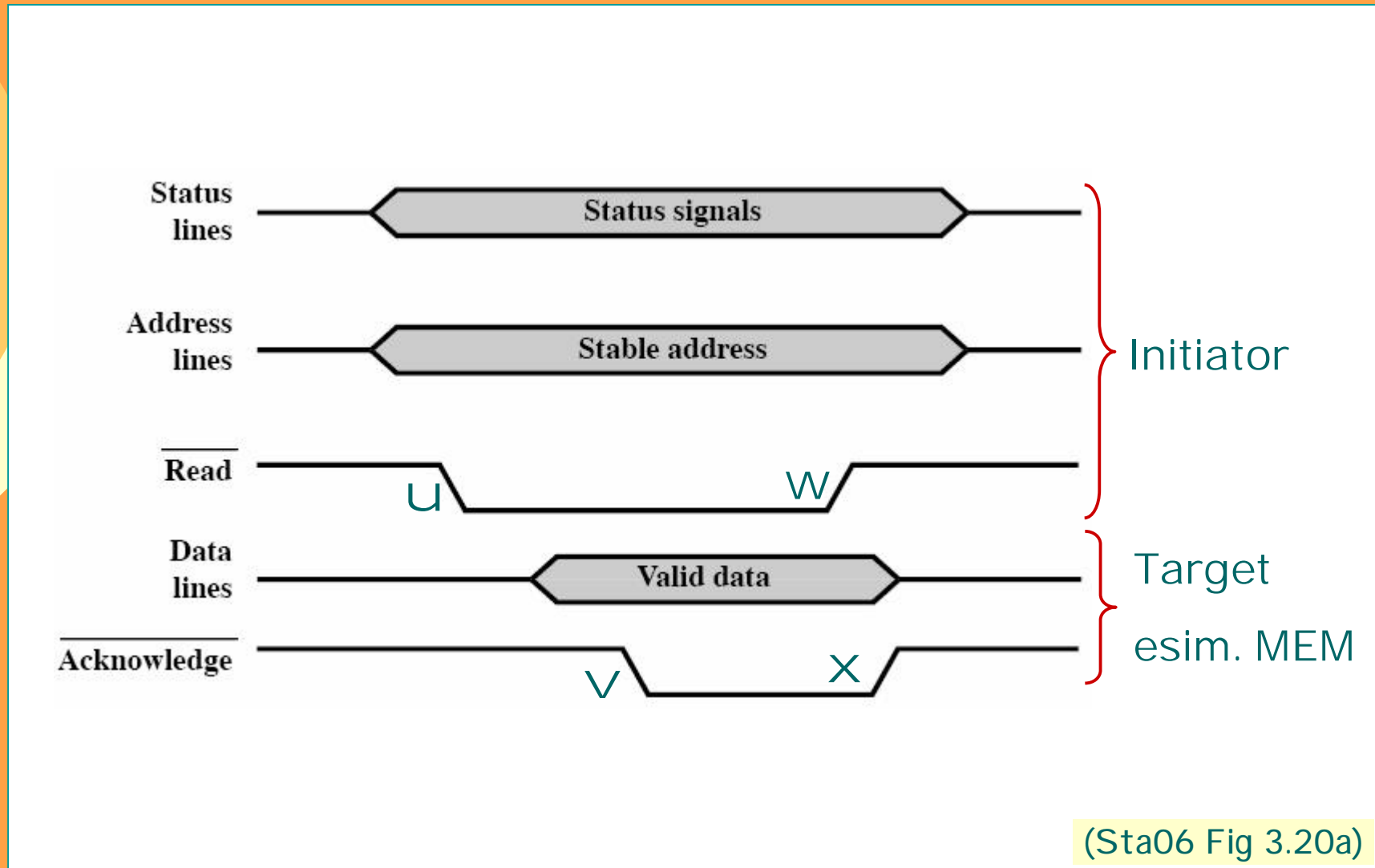


Synkroninen ajoitus



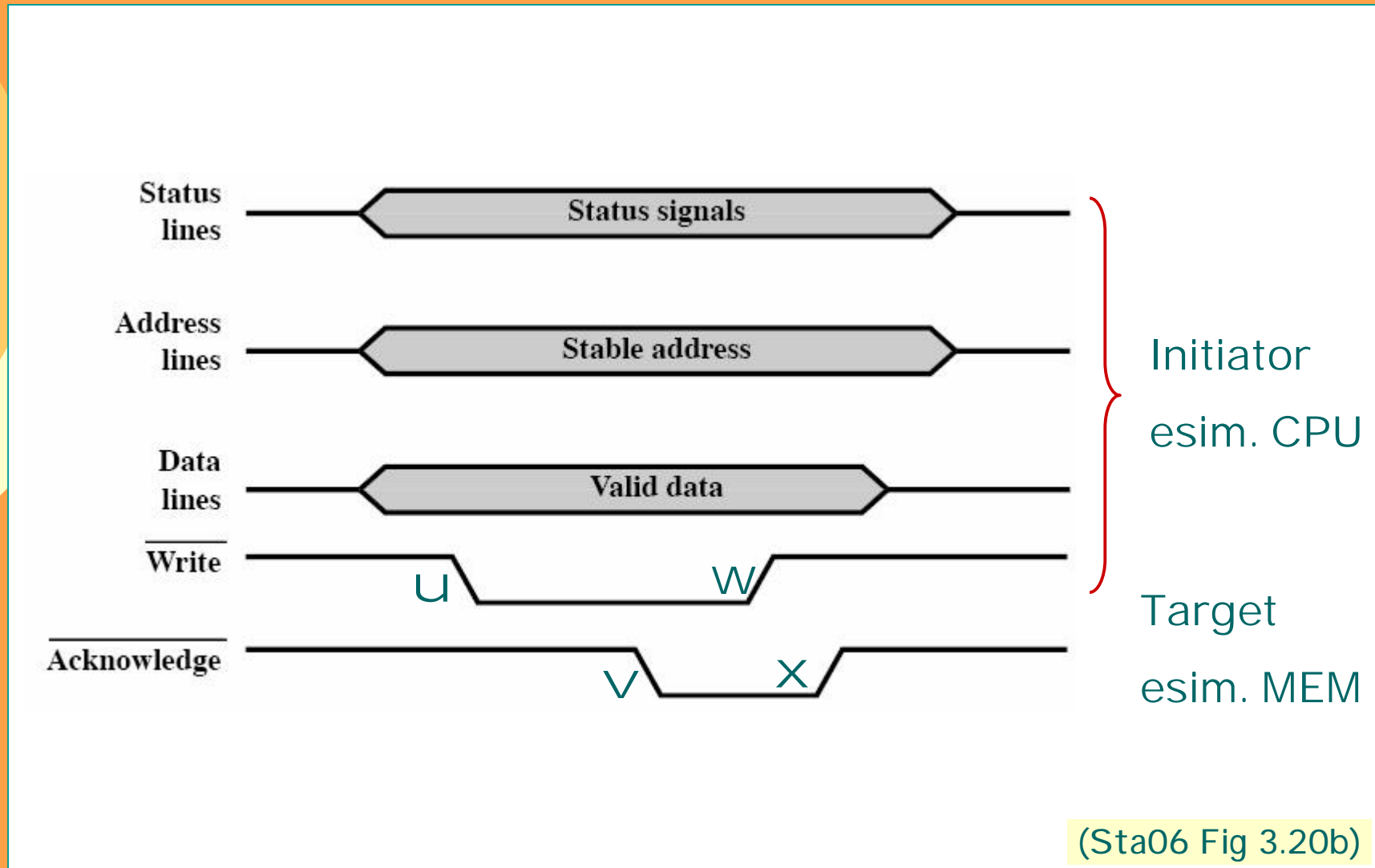


Asynkroninen ajoitus - Read



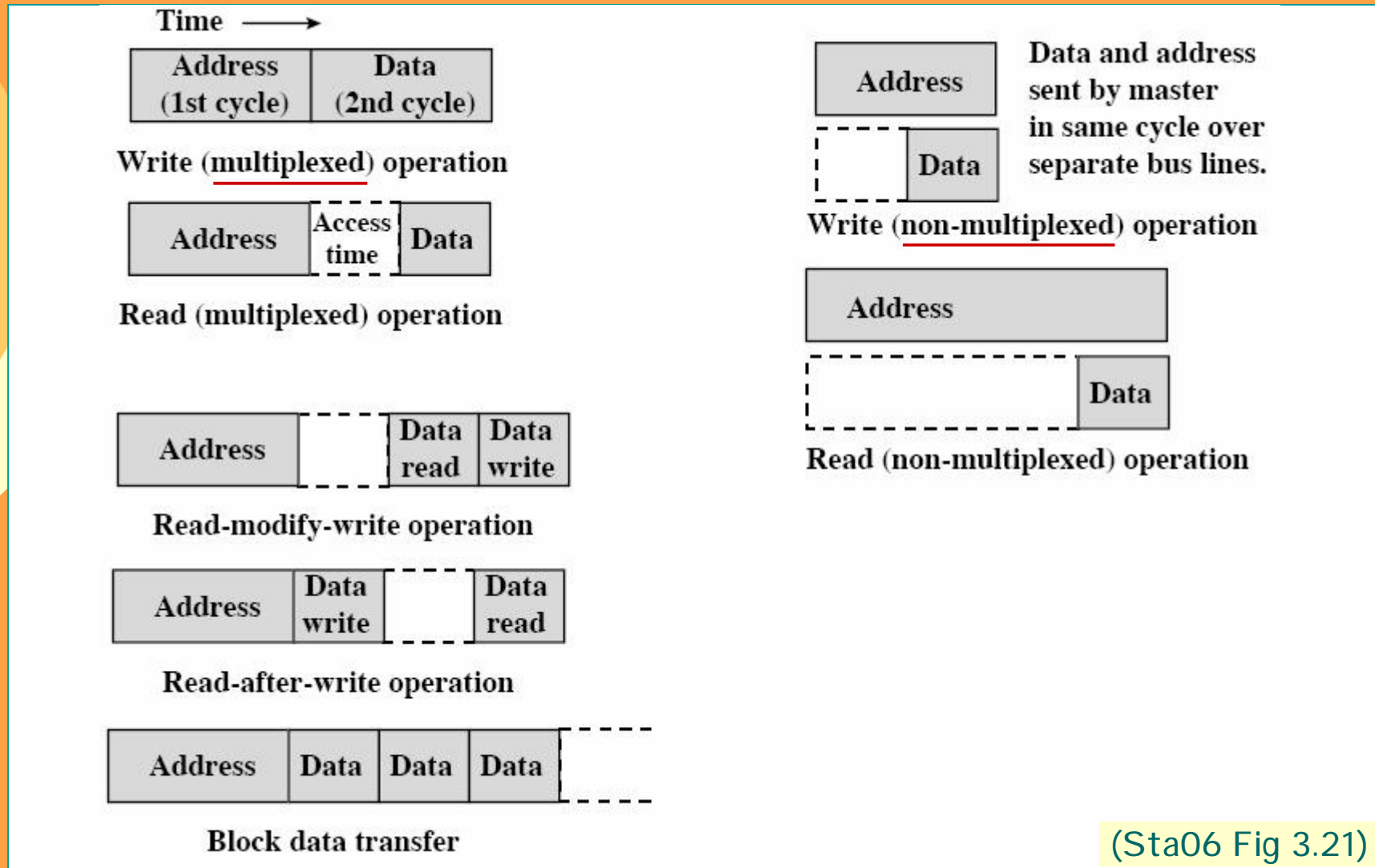


Asynkroninen ajoitus - Write





Väylätapahtumia



(Sta06 Fig 3.21)



Väyläkonfiguraatio

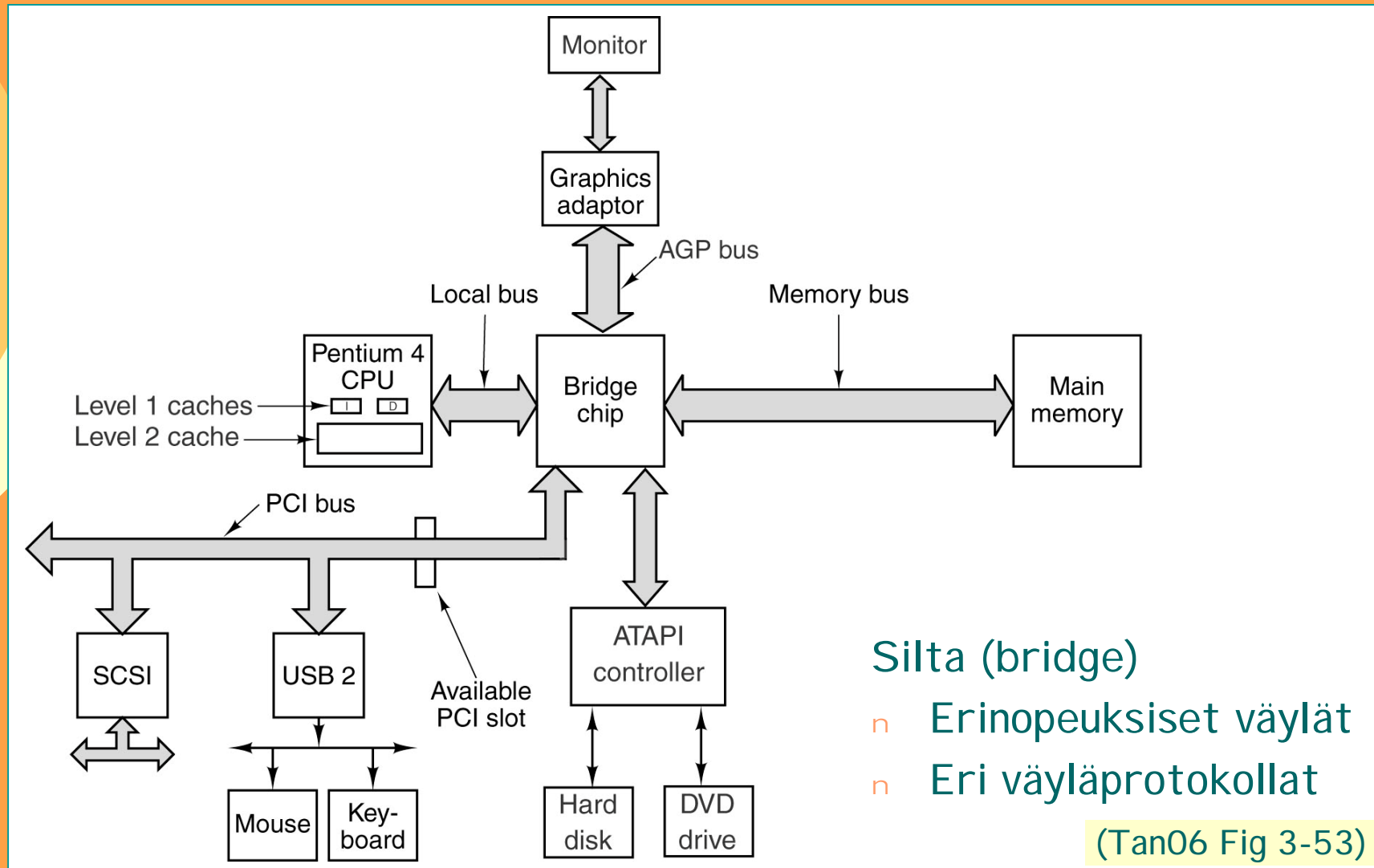


- n **Kaikki laitteet samassa väylässä?**
 - u Laitteiden toteltava samaa tekniikkaa
 - u Pitkä väylä \rightarrow etenemisviive (propagation delay)
 - u Laitteiden yhteenlaskettu käyttötarve saattaa ylittää väylän siirtokyvyn
 - u Yhteentörmäykset väylän varauksessa, odottelua
 - u Synkroninen? \rightarrow hitain määrää kaikkien vauhdin
- n **Väylähierarkia**
 - u Eristä toisistaan riippumatonta liikennettä
 - u Maksimoi tärkeimmän liikenteen nopeus, CPU \rightarrow MEM
 - u I/O:lle "riittää" pienempi nopeus

Pullonkaula!



Hierarkia, tyypillinen Pentium 4



Silta (bridge)

- n Erinopeuksiset väylät
- n Eri väyläprotokollat

(Tan06 Fig 3-53)



Tietokoneen rakenne

PCI-väylä [Sta06, Ch 3.5]



PCI: Peripheral Component Interconnect

- n **Aikavuoroteltu**
 - u Osoite/data 32b (tai 64b)
 - u Muita signaaleja 17
- n **Väylän varaus: keskitetty** (centralised arbiter)
- n **Synkroninen tahdistus**
 - u oma 33 tai 66 MHz kello (PCI -X: 133/156/533 Mhz)
 - u siirtonopeus 133, 266, 532 MB/s (PCI -X: 1 GB/s,4 GB/s)
- n **Väylätapahtumat**
 - u read, write, read block, write block (multiplexed)
- n **Max 16 laitetta**



49 pakollista signaalia (mandatory)

Sta06 Table 3.3

- n AD[32]: address tai data, aikavuorottelu
 - u + 1 pariteetille
- n C/BE[4]: bus command tai byte enable, vuorottelu
 - u Esim. 0110/1111 = memory read/all 4 Bytes
- n CLK, RST#: clock, reset
- n 6 ajoitusta ja koordinoitua varten
 - u FRAME#, IRDY#, TRDY#, STOP#, IDSEL, DEVSEL#
- n 2 väylän keskitettyä varausta varten
 - u REQ# pyyntö, GNT# lupa saatu
 - u Kullakin kortilla omat
- n 2 virheindikaattoria
 - u parity, system





51 valinnaista signaalia (optional)

Sta06 Table 3.4

- n 4 johdinta keskeytyspyyntöjä varten
 - u Kullakin laitteella oma linja keskeytysohjaimelle
- n 2 johdinta usean CPU:n välimuistitukea varten
 - u snoopy cache
- n 32 A/D lisäjohdinta
 - u Yhteensä 64 bittinen väylä
- n 4 lisäjohdinta C/BE:tä varten
- n 2 johdinta ilmaisemaan 64-bittistä siirtoa
- n 1 pariteettijohdin lisää
- n 5 lisäjohdinta testausta varten

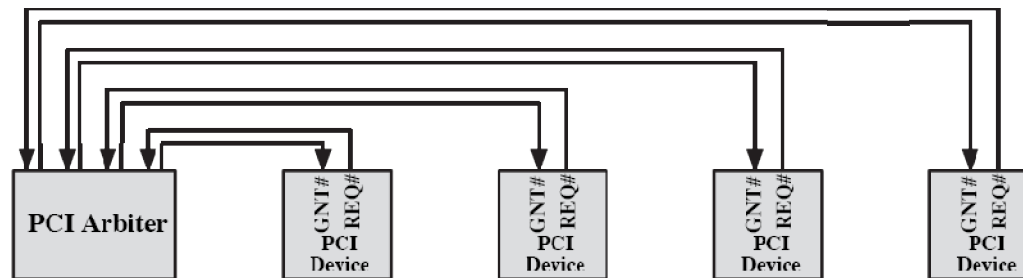


PCI: transaktiot

- n Väylätapahtumat transaktioina
 - u Uusi varaus uutta transaktiota varten

- n Ensin väylän varaus

- u Keskitetty
- u lähetä REQ
- u odota GNT



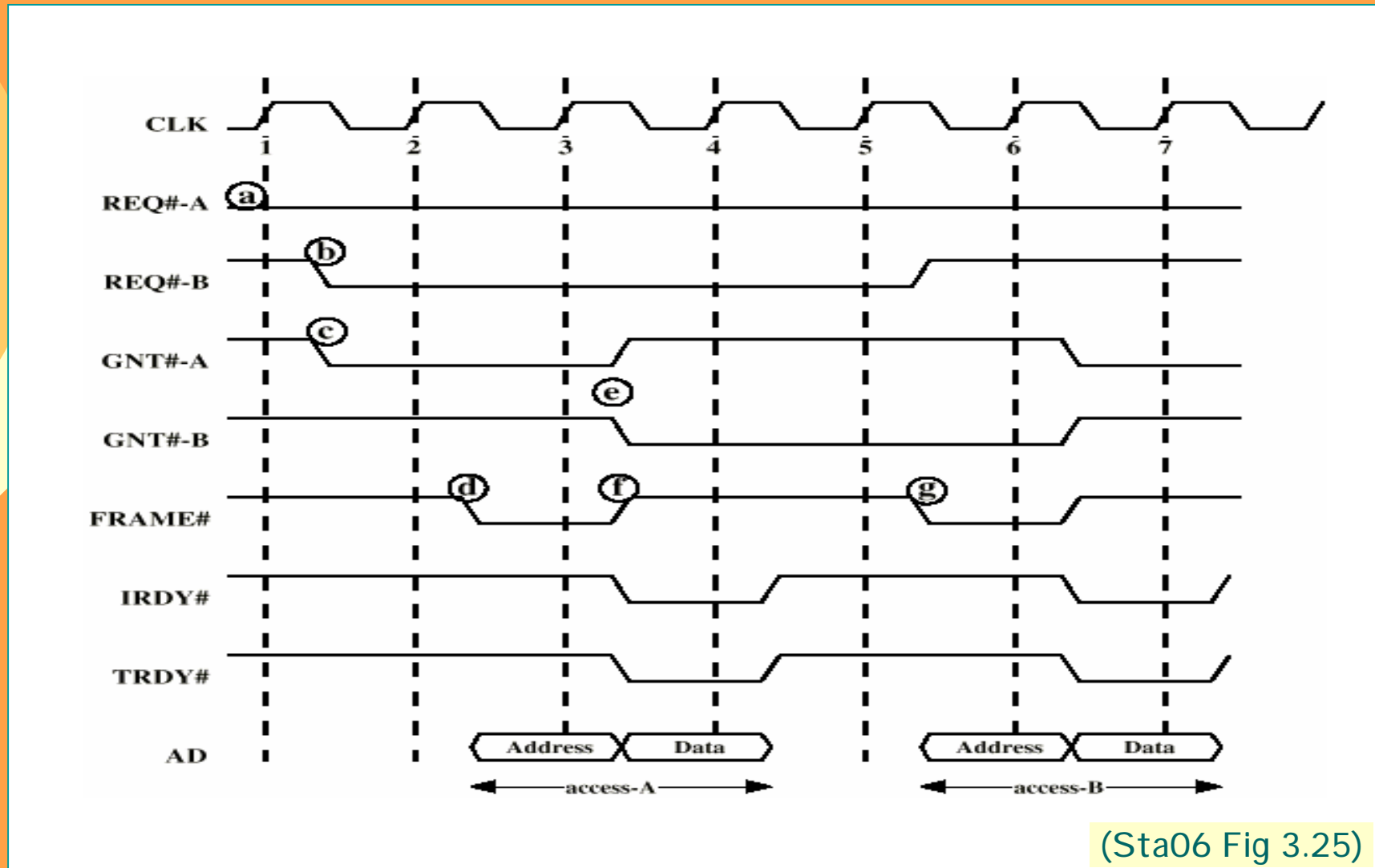
(Sta06 Fig 3.24)

- n Sitten transaktion suoritus

- u Väylän varaaja on Initiator
- u Alussa: merkitse varatuksi (FRAME-signaali)
- u Lopussa: merkitse vapaaksi



Väylän varaus: A ja B yrittävät



(Sta06 Fig 3.25)

a) A wants bus

b) B wants bus

c) A granted bus

knows that it has bus and bus is available

d) starts frame, requests also for next transaction

Sees that both still want it

e) Grants bus to B for next trans.

f) marks last frame transfer, marks data ready

A's target reads data

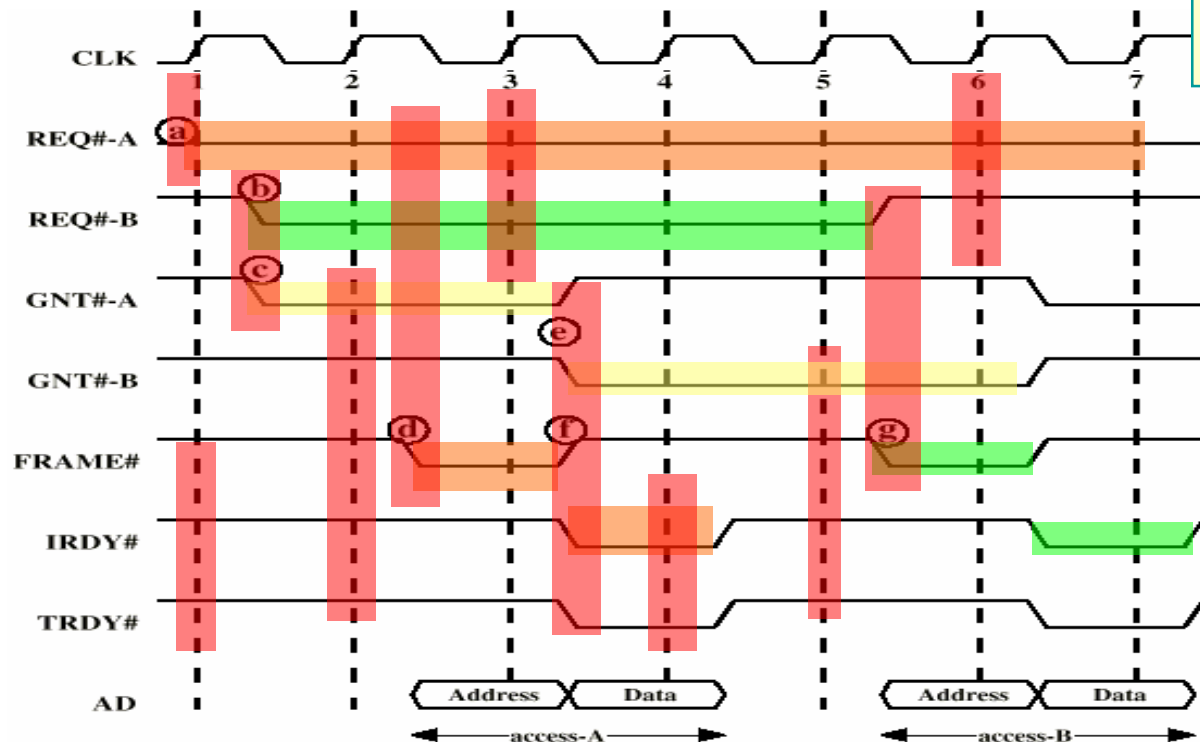
g) starts frame, no more req.

Sees that only A wants it

A action

B action

Arbiter action



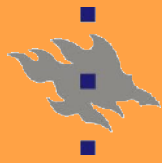
All ready for new trans

All ready for new trans, granted for B, B knows that it has bus

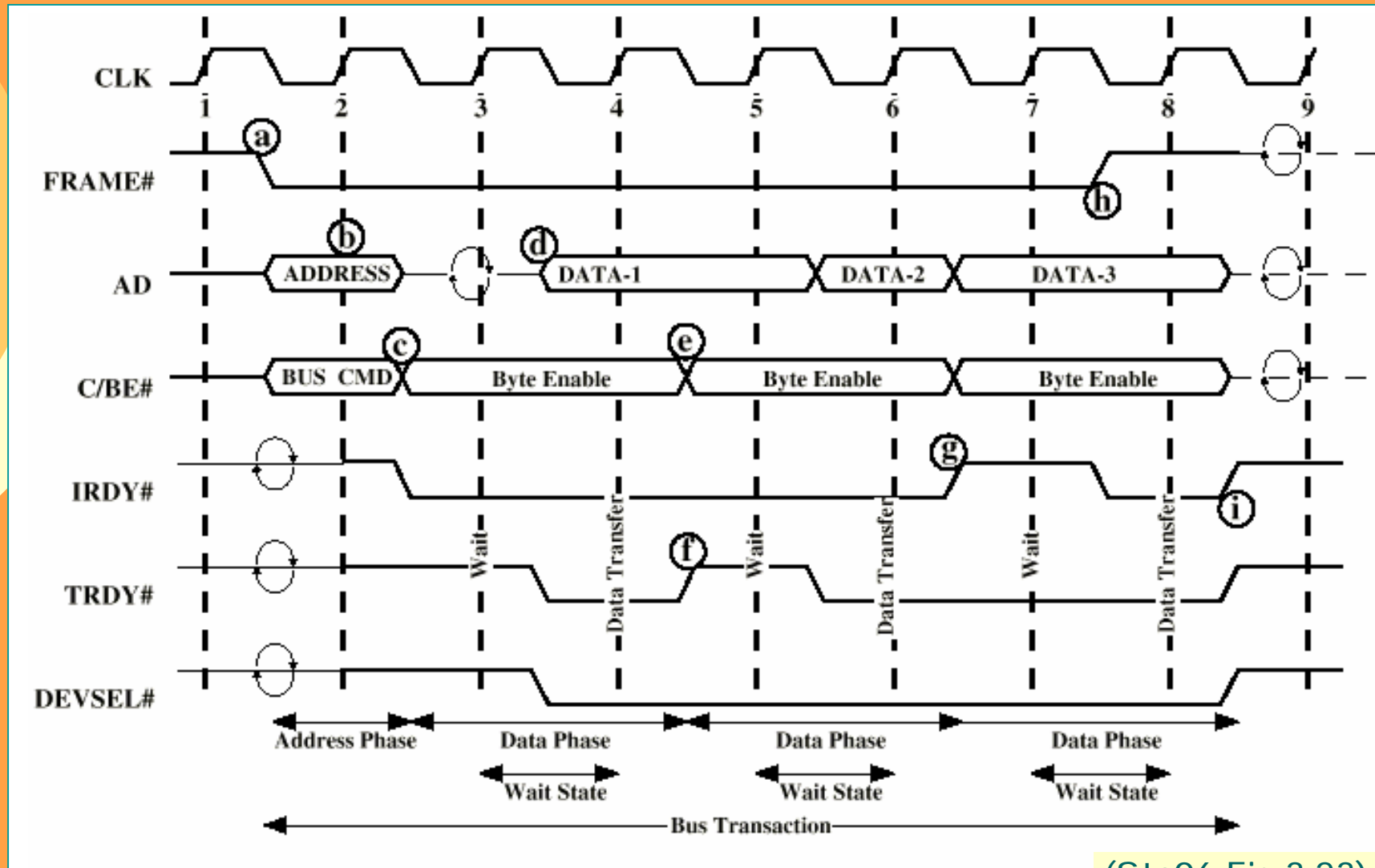


PCI: transaktioita

- n Memory tai I/O Read/Write [Line | Multiple]
 - u Siirrä yksi tai useita sanoja (cache line)
- n Memory Write and Invalidate
 - u Takaa, että tieto myös välimuistista muistiin
- n Configuration Read/Write
 - u Laitteen konfigurointitiedon (256B) käsittelyyn
 - u Plug-and-Play, PnP
- n Interrupt Acknowledge
 - u CPU lukee keskeytykseen liittyvää tietoa keskeytysohjaimelta ja kuittaa keskeytyksen saaduksi
- n Special Cycle
 - u Yleislähetys usealle vastaanottajalle
- n Dual Address Cycle
 - u Käytä 64 bitin osoitetta



PCI Memory Read



(Sta06 Fig 3.23)

a) start trans frame,
set addr, set trans. type

d) ack address, set data,
indicate valid data

set & indicate data
data ready, read

b) recognise
address, find data

data ready, read

set & indicate data

e) sel next bytes

g) not ready: hold

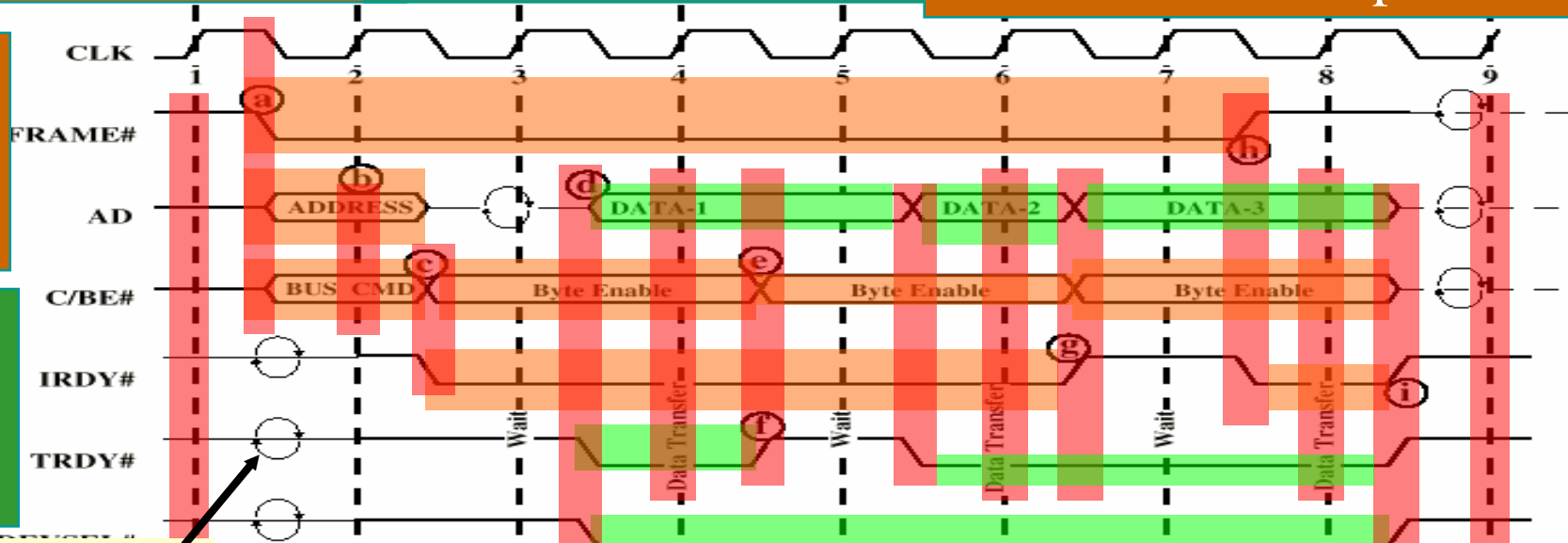
c) select bytes,
indicate ready to receive

f) need more time,
indicate not valid data

h) ready for last block:
end frame and stop hold

Initiator
CPU
action

Target
memory
action



turnaround time

data ready, read

get ready for next

get ready for next

All ready for new transaction

All ready for new transaction



Tietokoneen rakenne

PCI Express

[Tan06, s.212]

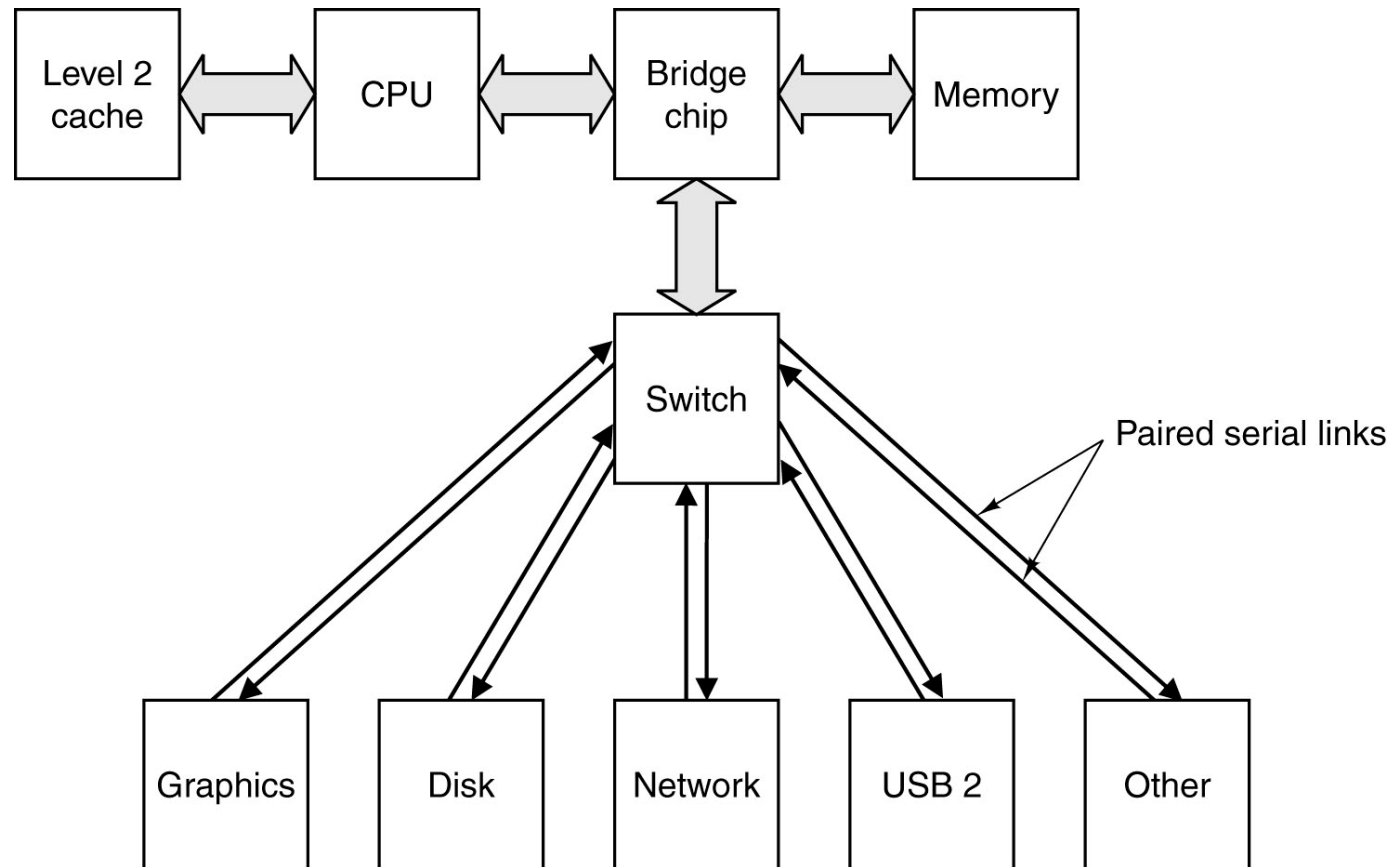


Packet-switched PCI Express

- n PCI-väylä aivan liian hidas monille laitteille
- n Korvaa PCI-väylän (ja muut I/O-väylät)
 - u Laitteita jo saatavilla
- n Rakentuu kytkimen (switch) ympärille
- n Perustuu kaksipisteyhteyksiin (point-to-point)
 - u Kummallekin suunnalle oma johdinpari (lane) (tai 2, 4, 8, 16)
- n Sarjallinen siirtolinkki
 - u Siirto pieninä paketteina (header + payload), bitit peräkkäin
- n Ei varausmekanismia, tai muita ohjaussignaaleja
 - u Saa lähettää silloin, kun haluaa
 - u Kytkin reitittää paketin osoitteen avulla oikealle laitteelle
- n Nopeus yhdellä johdinparilla 2.5Gbps



Tyypillinen PCI Express järjestelmä



(Tan06, Fig 3-57)



PCI Expressin kehuja

- n **Paketeissa mukana ECC**
 - u Luotettavampi kuin PCI -väylä (pariteettibitti)
- n **Laitteiston osat voivat olla kauempana toisistaan**
 - u Esim. kovalevy integroituna näytön koteloon
 - u PCI : max 50 cm PCI Express: jopa 250m valokuidulla
- n **Laajennettavuus**
 - u Kytkimen voi kytkeä edelleen toiseen kytkimeen
- n **Sallii hot-swap operaatiot**
 - u Laitteen voi kytkeä/irrottaa vauhdissa, PnP Plug-and-Play
- n **Pienemmät fyysiset liitännät**
 - u Voidaan tehdä kooltaan pienempiä laitteita



Kertauskysymyksiä

- n Miten synkroninen ja asynkroninen ajoitus eroavat toisistaan?
- n Mitä hyötyä väylähierarkiasta?
- n Miten PCI Express ja PCI poikkeavat toisistaan?
- n ks. myös kurssikirja