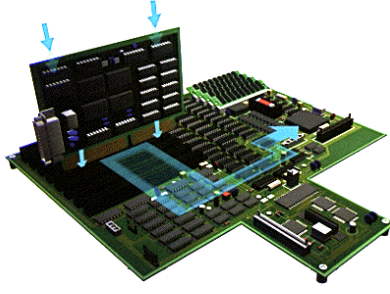


Luento 2

Tietokoneen rakenne

Väylät



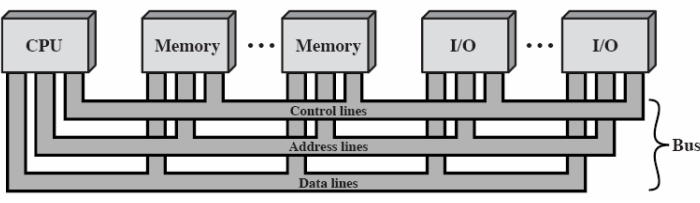
Stallings: Ch 3

- n Mitä väylällä liikkuu?
- n Väylän ominaisuuksia
- n PCI -väylä
- n PCI Express

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 1

(Sta06 Fig 3.16)

Väylä



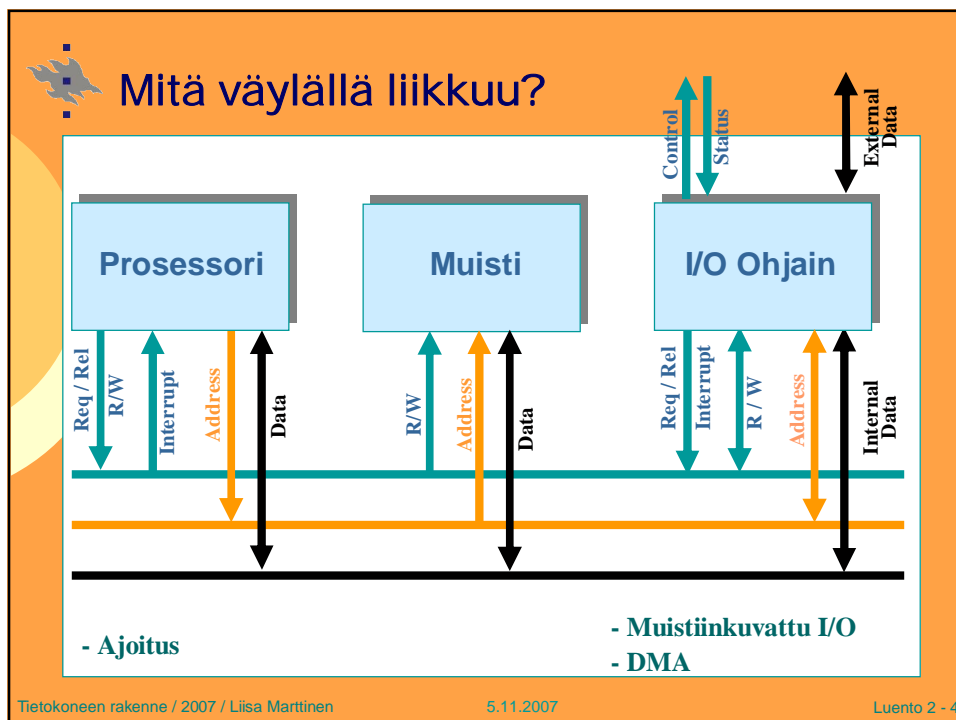
- n Laitteiden väliseen kommunikointiin
- n Tav. yleislähetys: kaikki kuulevat kaiken
 - u Reagoi vain itselle kuuluvaan
- n Kullakin laitteella omat ohjaus- ja statustietonsa
 - u Laiteajuri (KJ) vie ohjaustiedon ohjaimen rekistereihin
 - ~ mistä, minne, paljonko, suunta
 - u Laiteajuri lukee statustietoa ohjaimen rekistereistä
 - § valmis toimimaan? onnistuiko? ...

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 2

Mitä väylällä liikkuu?

- n Ohjausväylä (~ johtimet)
 - u Ohjaus ja ajoitustietoa
 - § Lataa muistista, talleta muistiin (R/W)
 - § Keskeytyssignaali
 - § Kellosignaali
- n Osoiteväylä
 - u Lähteen / kohteen identifiointi
 - § Muistipaikan osoite, laiterekisterin osoite
 - § esim. mistä käsky/data noudettava, minne data talletettava
 - u Leveys määrää osoitevaruuden koon
 - § Suurin viitattavissa oleva muistipaikan numero
 - § Esim. 32 b $\bar{\text{O}}$ 4 GB
- n Dataväylä
 - u Käsiteltävän tiedon siirtämiseen: käskyt, data, DMA
 - u Leveys määrää kerralla siirrettävän datan määrän
 - § Esim 38b eli 32b dataa plus 6 Hamming-tarkistusbittiiä

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 3



Väylä = pullonkaula?

CPU

Memory

System bus

I/O

von Neumann arkkitehtuuri

- u käskyt ja niiden käsittelemä data muistissa
- u kaikkeen muistissa olevaan dataan viitataan osoitteella
- u muistissa peräkkäin olevat käskyt suoritetaan peräkkäin ellei järjestystä eksplisiittisesti muuteta (hyyt)

Fetch-Execute Cycle

(Sta06 Fig 3.12)

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 5

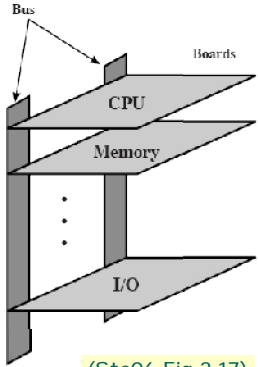
Tietokoneen rakenne

Väylän ominaisuuksia

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 6

Väylän ominaisuuksia

- n **Leveys**
 - ~ 50 - 100 johdinta - emolevyllä, kaapelissa, liittimessä
- n **Väylän tyyppi**
 - u **Dedikoitu** (dedicated, non-multiplexed)
 - § Osoitteelle ja datalle omat johtimet
 - u **Aikavuoroteltu** (time multiplexed)
 - § Osoite ja data samoissa johtimissa
 - § Address valid / data valid -johdin
- n **Käyttövuoron varaus** (arbitration)
 - u **Keskitetty**
 - § yksi väyläohjain (bus controller, arbiter)
 - u **Hajautettu**
 - § tarvittava logiikka ohjaimissa



(Sta06 Fig 3.17)

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 7

Väylän ominaisuuksia

- n **Tapahtumien ajoitus, tahdistus**
 - u **Synkroninen** (tahdistettu)
 - § Säännöllisen kellopulssin avulla
 - u **Asynkroninen**
 - § Tarvittaessa erillisillä signaaleilla
 - u **Liikennöinnissä yhteiset pelisäännöt**, osapuolet tietävät mitä seuraavaksi tapahtuu
- n **Tehokkuus**
 - u **Kaistanleveys** (bandwidth)
 - § montako bittiä per sekunti

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 8

Synkroninen ajoitus

- n Tahdistus kellon avulla
 - u Ohjausväylässä mukana kellosignaali (sykli 1-0)
 - u Kaikki laitteet "kuulevat" saman syklin
- n Tapahtuma vie tavallisesti vain yhden syklin
 - u Alkaa aina kellosyklin alussa (leading edge)
 - u Esim. datan lukeminen vie yhden syklin
- n Väylään kytketyt laitteet toimivat samalla nopeudella
 - u Hitain laite määrittelee kaikkien nopeuden
 - u Laite tietää toisen laitteen nopeuden
 - tietää, milloin se on valmis seuraavaan tapahtumaan
- n *"Tee tämä seuraavalla syklillä"*
 - voi luottaa, että toinen laite tekee sen silloin!

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 9

Asynkroninen ajoitus

- n Laitteiden ei tarvitse toimia samalla nopeudella
 - u Käsittelyaika määräytyy kunkin laitteen mukaan
 - u Laite ei voi päätellä milloin toinen osapuoli valmis
 - § Kauanko tapahtuma vie aikaa?
- n Tahdistus erityisen tahdistussignaalin avulla
 - u Lähetä tahdistussignaali, kun oma puuha valmis
 - § Esim. osoite ja data väylällä ○ lähetä signaali "write" (eli muuta johtimen "write" jännite esim. ykköseksi)
 - § Esim. tieto kirjoitettu muistiin ○ lähetä "ack"
 - u Seuraavan ajoitus riippuu edellisen päättymisestä
- n *"Tee tämä kun ehdit, kerro sitten kun on valmista"*

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 10

Ajoituskaavion lukeminen

n Ks. Appendix 3a [Sta06, Ch 3]

(a) Signal as a function of time

Binary 1
Binary 0

Leading edge Trailing edge

Time gap Time

(b) Groups of lines

All lines at 0 Each line may be 0 or 1 All lines at 0

(c) Cause-and-effect dependencies

Command

Response

Response tai Response#

(Sta06 Fig 3.27)

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 11

Synkroninen ajoitus

T_1 T_2 T_3

Clock

Status lines

Address lines

Address enable

Read cycle

 Data lines

 Read

Write cycle

 Data lines

 Write

Status signals

Stable address

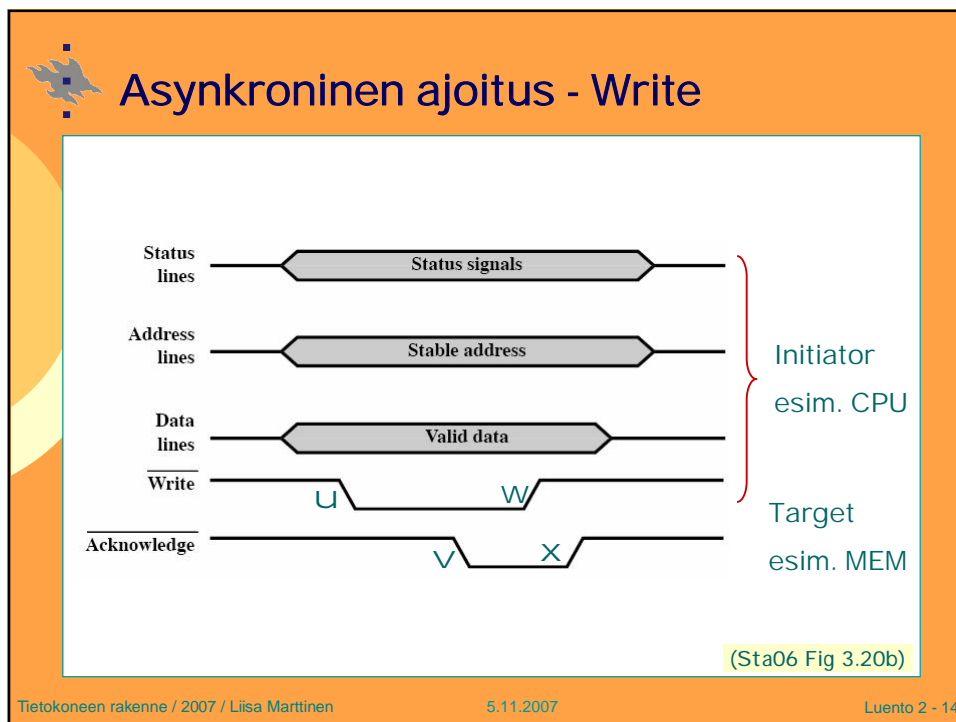
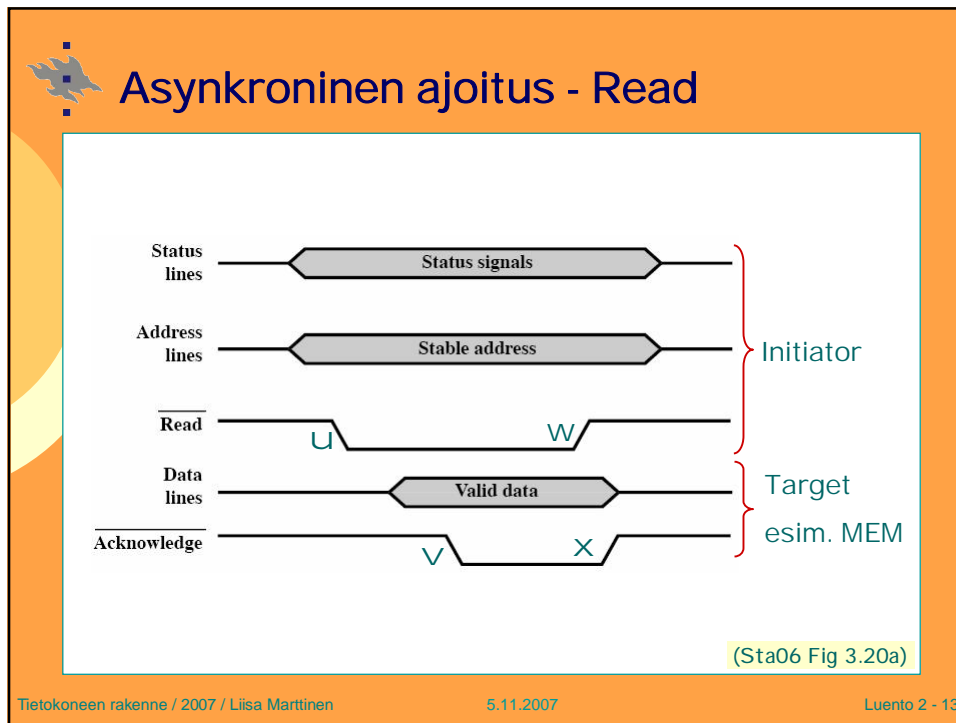
Valid data in

Valid data out

Initiator
esim. CPU

(Sta06 Fig 3.19)

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 12



Väylätapahtumia

Time →

Address (1st cycle) | Data (2nd cycle)

Write (multiplexed) operation

Address | Access time | Data

Read (multiplexed) operation

Address | Data read | Data write

Read-modify-write operation

Address | Data write | Data read

Read-after-write operation

Address | Data | Data | Data

Block data transfer

Address | Data

Data and address sent by master in same cycle over separate bus lines.

Write (non-multiplexed) operation

Address

Data

Read (non-multiplexed) operation

(Sta06 Fig 3.21)

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 15

Väyläkonfiguraatio

n **Kaikki laitteet samassa väylässä?**

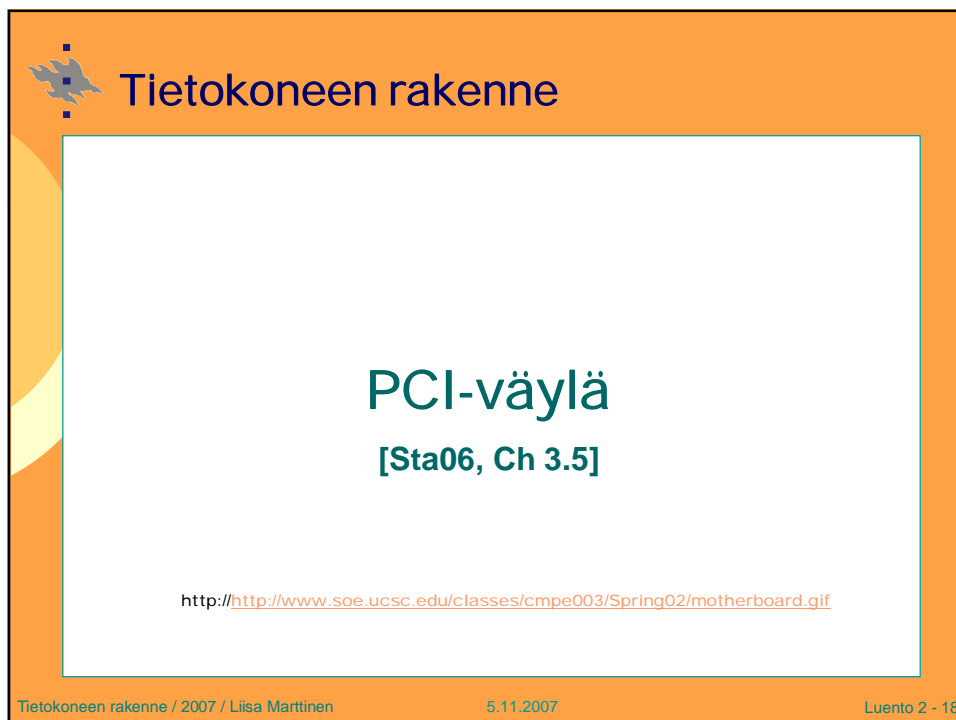
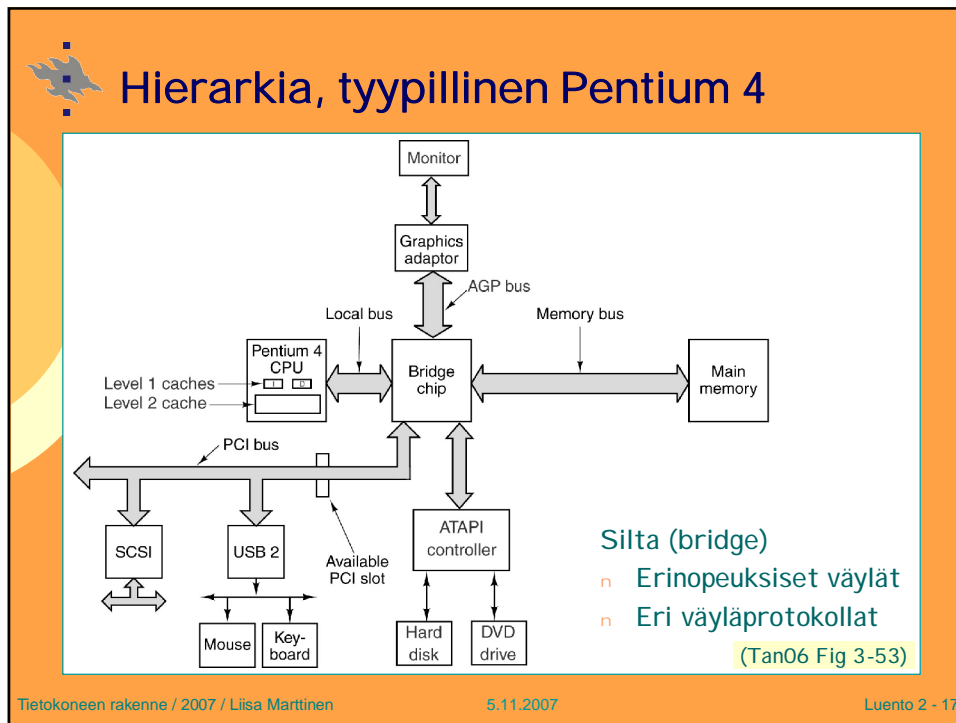
- u Laitteiden toteutava samaa tekniikkaa
- u Pitkä väylä \ominus etenemisviive (propagation delay)
- u Laitteiden yhteenlaskettu käyttötarve saattaa ylittää väylän siirtokyvyn
- u Yhteentörmäykset väylän varauksessa, odottelua
- u Synkroninen? \ominus hitain määrää kaikkien vauhdin

n **Väylähierarkia**

- u Eristä toisistaan riippumatonta liikennettä
- u Maksimoi tärkeimmän liikenteen nopeus, CPU \ominus MEM
- u I/O:lle "riittää" pienempi nopeus

Pullonkaula!

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 16



PCI: Peripheral Component Interconnect


- n **Aikavuoroteltu**
 - u Osoite/data 32b (tai 64b)
 - u Muita signaaleja 17
- n **Väylän varaus: keskitetty** (centralised arbiter)
- n **Synkroninen tahdistus**
 - u oma 33 tai 66 MHz kello (PCI -X: 133/156/533 Mhz)
 - u siirtonopeus 133, 266, 532 MB/s (PCI -X: 1 GB/s, 4 GB/s)
- n **Väylätapahtumat**
 - u read, write, read block, write block (multiplexed)
- n **Max 16 laitetta**

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 19

49 pakollista signaalia tai johdinta (mandatory)

Sta06 Table 3.3

- n **AD[32]: address tai data, aikavuorottelu**
 - u + 1 pariteetille
- n **C/BE[4]: bus command tai byte enable, vuorottelu**
 - u Esim. 0110/1111 = memory read/all 4 Bytes
- n **CLK, RST#: clock, reset**
- n **6 ajoitusta ja koordinoitua varten**
 - u FRAME#, IRDY#, TRDY#, STOP#, IDSEL, DEVSEL#
- n **2 väylän keskitettyä varausta varten**
 - u REQ# pyyntö, GNT# lupa saatu
 - u Kullakin kortilla omat
- n **2 virheindikattoria**
 - u parity, system



Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 20



51 valinnaista signaalia (optional)

(ks. Sta06 Table 3.4)

- n 4 johdinta keskeytyspyyntöjä varten
 - u Kullakin laitteella oma linja keskeytysohjaimelle
- n 2 johdinta usean CPU:n välimuistitukea varten
 - u snoopy cache
- n 32 A/D lisäjohdinta
 - u Yhteensä 64 bittinen väylä
- n 4 lisäjohdinta C/BE:tä varten
- n 2 johdinta ilmaisemaan 64-bittistä siirtoa
- n 1 pariteettijohdin lisää
- n 5 lisäjohdinta testausta varten

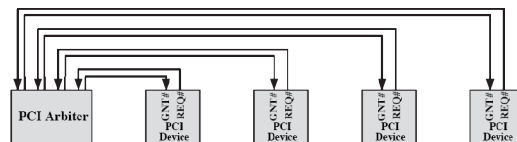


PCI: transaktiot

- n Väylätapahtumat transaktioina
 - u Uusi varaus uutta transaktiota varten

Ensin väylän varaus

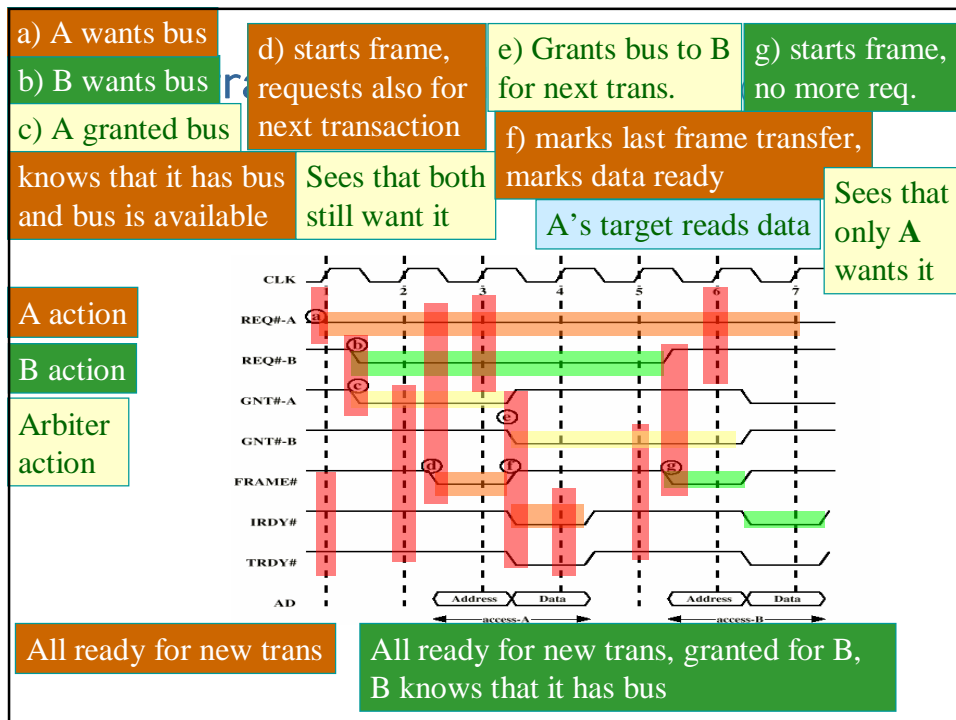
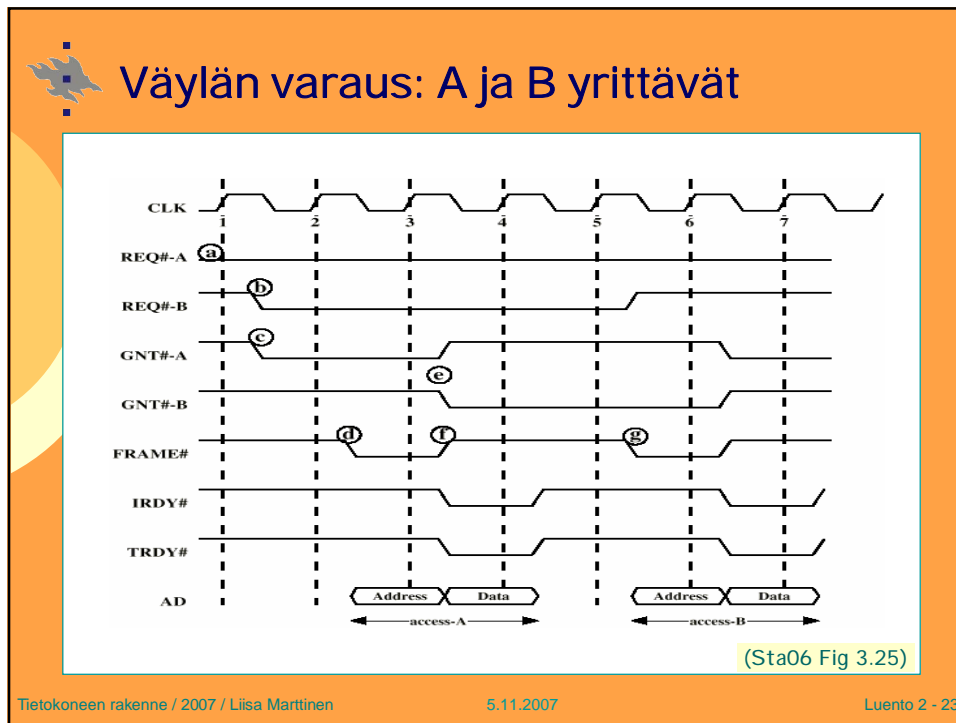
- u Keskitetty
- u lähetä REQ
- u odota GNT



(Sta06 Fig 3.24)

Sitten transaktion suoritus

- u Väylän varaaja on Initiator
- u Alussa: merkitse varatuksi (FRAME-signaali)
- u Lopussa: merkitse vapaaksi



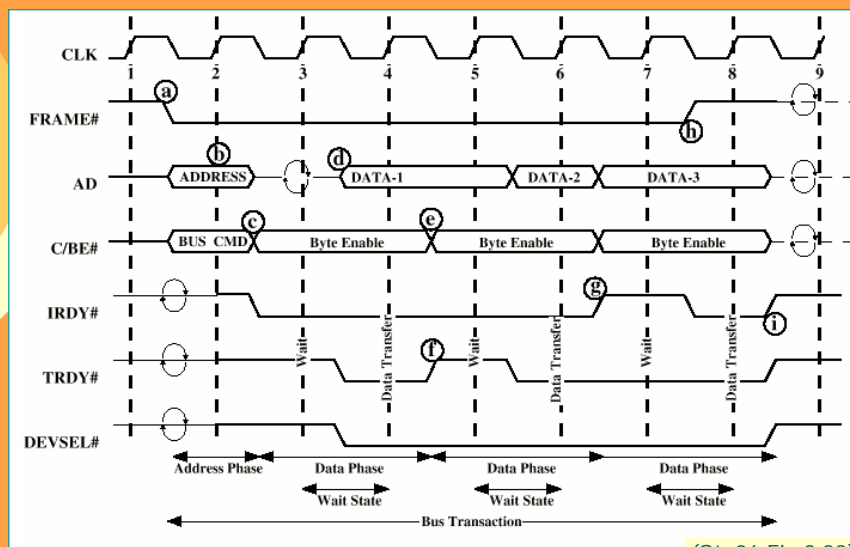


PCI: transaktioita

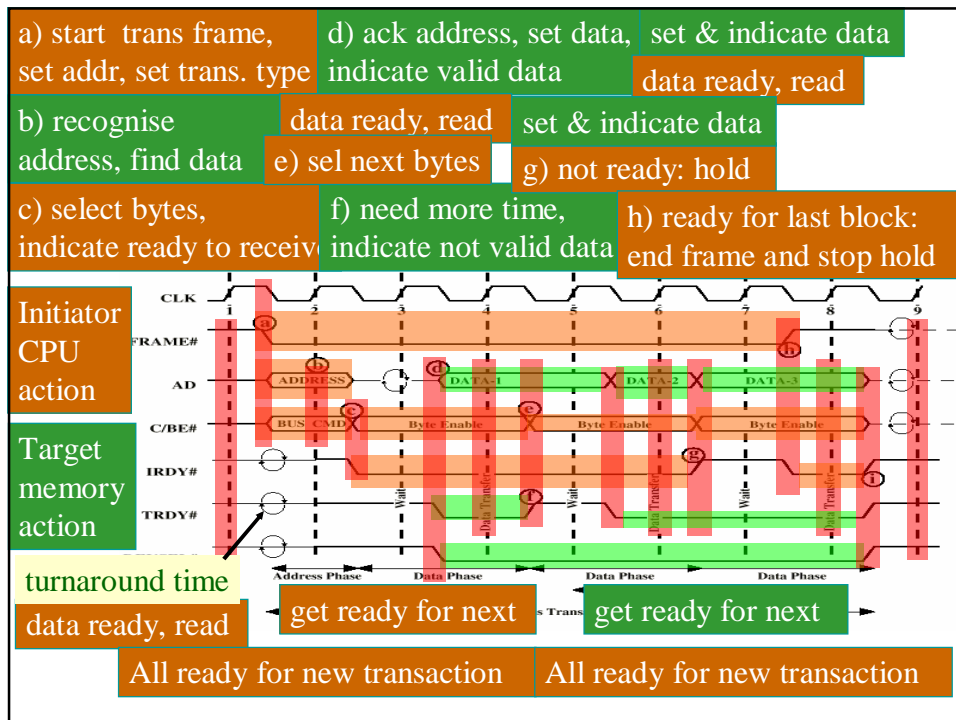
- n **Memory tai I/O Read/Write [Line | Multiple]**
 - u Siirrä yksi tai useita sanoja (cache line)
- n **Memory Write and Invalidate**
 - u Takaa, että tieto myös välimuistista muistiin
- n **Configuration Read/Write**
 - u Laitteen konfigurointitiedon (256B) käsittelyyn
 - u Plug-and-Play, PnP
- n **Interrupt Acknowledge**
 - u CPU lukee keskeytykseen liittyvää tietoa keskeytysohjaimelta ja kuittaa keskeytyksen saaduksi
- n **Special Cycle**
 - u Yleislähetys usealle vastaanottajalle
- n **Dual Address Cycle**
 - u Käytä 64 bitin osoitetta



PCI Memory Read



(Sta06 Fig 3.23)



Tietokoneen rakenne

PCI Express

[Tan06, s.212]

Tietokoneen rakenne / 2007 / Liisa Marttinen
5.11.2007
Luento 2 - 28

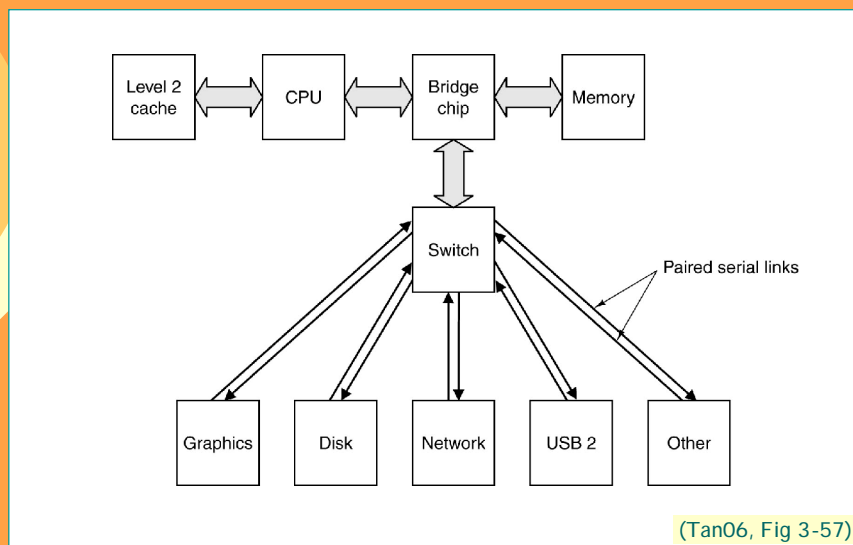


Packet-switched PCI Express

- n PCI-väylä aivan liian hidas monille laitteille
- n Korvaa PCI-väylän (ja muut I/O-väylät)
 - u Laitteita jo saatavilla
- n Rakentuu kytkimen (switch) ympärille
- n Perustuu kaksipisteyhteyksiin (point-to-point)
 - u Kummallekin suunnalle oma johdinpari (lane) (tai 2, 4, 8, 16)
- n Sarjallinen siirtolinkki
 - u Siirto pieninä paketteina (header + payload), bitit peräkkäin
- n Ei varausmekanismia, tai muita ohjaussignaaleja
 - u Saa lähettää silloin, kun haluaa
 - u Kytkin reitittää paketin osoitteen avulla oikealle laitteelle
- n Nopeus yhdellä johdinparilla 2.5Gbps



Tyypillinen PCI Express järjestelmä



PCI Expressin kehuja

- n Paketeissa mukana ECC (CRC)
 - u Luotettavampi kuin PCI -väylä (pariteettibitti)
- n Laitteiston osat voivat olla kauempana toisistaan
 - u Esim. kovalevy integroituna näytön koteloon
 - u PCI : max 50 cm PCI Express: jopa 250m valokuidulla
- n Laajennettavuus
 - u Kytkimen voi kytkeä edelleen toiseen kytkimeen
- n Sallii hot-swap operaatiot
 - u Laitteen voi kytkeä/irrottaa vauhdissa, PnP Plug-and-Play
- n Pienemmät fyysiset liitännät
 - u Voidaan tehdä kooltaan pienempiä laitteita

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 31

Kertauskysymyksiä

- n Miten synkroninen ja asynkroninen ajoitus eroavat toisistaan?
- n Mitä hyötyä väylähierarkiasta?
- n Miten PCI Express ja PCI poikkeavat toisistaan?
- n ks. myös kurssikirja

Tietokoneen rakenne / 2007 / Liisa Marttinen 5.11.2007 Luento 2 - 32