

Tietokoneen rakenne

Suoritinesimerkit

Ch 12.5-6 [Sta06]
n Pentium/PowerPC

RISC-arkkitehtuuri

Ch 13 [Sta06]
n Käskyanalyysia
n RISC vs. CISC
n Rekisterien käytöstä

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 1

Tietokoneen rakenne

Pentium

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 2

Pentium: Rekisterit

(a) Integer Unit			
Type	Number	Length (bits)	Purpose
General	8	32	General-purpose user registers EAX, EBX, ECX, EDI, ESP, EBP, ESI, EDI
Segment	6	16	Contain segment selectors CS, SS, DS, ES, FS, GS
Flags	1	32	Status and control bits EFLAGS
Instruction Pointer	1	32	Instruction pointer EIP

(b) Floating-Point Unit			
Type	Number	Length (bits)	Purpose
Numeric	8	80	Hold floating-point numbers käyttö pinona tai MMX-käskyissä
Control	1	16	Control bits
Status	1	16	Status bits
Tag Word	1	16	Specifies contents of numeric registers
Instruction Pointer	1	48	Points to instruction interrupted by exception selector, offset
Data Pointer	1	48	Points to operand interrupted by exception

(Sta06 Table 12.2)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 3

Pentium: FP / MMX Registers

- Aliasing
- FP rekistereitä käytetään pinona
- MMX multimediakäskyt käyttävät samoja, mutta viittaavat suoraan nimillä
- Tag kertoo kummasta kyse
- MMX-käytössä bitit 64-79 ykkösiä g NaN

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 4

Pentium: EFLAGS Register

ID = Identification flag
VIF = Virtual interrupt pending
AC = Alignment check
VM = Virtual 8086 mode
RF = Resume flag
NT = Nested task flag
IOPL = I/O privilege level
OF = Overflow flag

DF = Direction flag
IF = Interrupt enable flag
TF = Trap flag
SF = Sign flag
ZF = Zero flag
AF = Auxiliary carry flag
PF = Parity flag
CF = Carry flag

(Sta06 Fig 12.20)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 5

Pentium: Control Registers

PCE = Performance Counter Enable
PGE = Page Global Enable
MCE = Machine Check Enable
PAE = Physical Address Extension
PSE = Page Size Extensions
DE = Debug Extensions
TSD = Time Stamp Disable
PVI = Protected Mode Virtual Interrupt
VME = Virtual 8086 Mode Extensions
PCD = Page-level Cache Disable
PWT = Page-level Writes Transparent

PG = Paging
CD = Cache Disable
NW = Not Write Through
AM = Alignment Mask
WP = Write Protect
NE = Numeric Error
ET = Extension Type
TS = Task Switched
EM = Emulation
MP = Monitor Coprocessor
PE = Protection Enable

(Sta06 Fig 12.21)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 6

Pentium: Keskeytykset

Sta06 Table 12.3

Keskeytyksäsittelijään siirtyminen (atominen laiteolinto)

- Jos ei jo etuoikeutetussa tilassa
 - PUSH(SS) pinosegmentin valitsin pinoon
 - PUSH(ESP) pino-osoitin
 - PUSH(EFLAGS) tilarekisteri vrt. aliohjelmakutsu
 - EFLAGS.IOPL • 00 etuoikeutettu tila
 - EFLAGS.IF • 0 keskeytyksen esto
 - EFLAGS.TP • 0 poikkeusten esto
- PUSH(CS) koodisegmentin valitsin
- PUSH(EIP) käskyosoitin
- PUSH(error code) vain tarvittaessa
- numero • keskeytysohjaimelta / INT-käskystä / tutki tilarekisteri
- CS • keskeytysvektori[numero], CS Osoitemuunnos nyt uudella tavalla
- EIP • keskeytysvektori[numero].EIP

Paluu

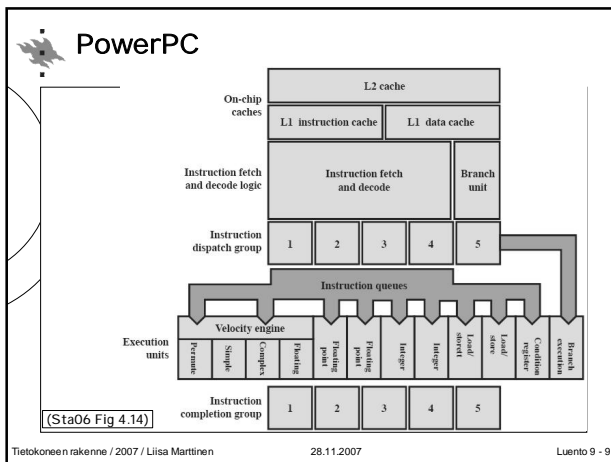
- Etuoikeutettu IRET-käsky (interrupt return)
- Palauta pinosta kaikki entiselleen

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 7

Tietokoneen rakenne

PowerPC

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 8



PowerPC: Rekisterit (user visible)

- 32 kokonaislukurekisteriä, a' 64 b, ja Exception Register (XER), 32 b** Sta06 Fig 12.23
- 32 liukulukurekisteriä, a' 64 b, ja FP Status & Control Register (FPSCR), 32 b** Sta06 Tbl 12.4
- 3 rekisteriä hyppyjen käsittelemiseksi**
 - Condition Register, 32b, 8 kenttää, a' 4 b Sta06 Fig 12.24, Tbl 12.5
 - CRO kokonaisluvulle, CR1 liukuluvulle (> 0, < 0, = 0, Over flow)
 - Jokainen suoritettu käsky asettaa
 - CRO-CR7 vertailukäsky asettaa (op1 > op2, op1 < op2, op1 = op2)
 - Voi pitää vertailujen tuloksia tallessa
 - Link Register, 64 b
 - Esim. aliohjelman paluusoite tänne
 - Count Register, 64 b
 - Esim. iteraatiolaskuri, epäsuora osoitus hyppässä

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 10

PowerPC: Rekisterit (control & status)

- Machine State Register, MSR, 64 b** Sta06 Tbl 12.7
 - 48: ulkoiset keskeytykset estetty/ei
 - 49: etuoikeutettu/käyttäjätila
 - 53: jokaisen käskyn jälkeen KJ:hin/ei
 - 54: hyppykäskyn jälkeen KJ:hin/ei Tracing
 - 52&55: milloin liukuluvun käsittelystä poikkeus
 - 59: MMU:n osoitemuunnos ON/OFF
 - 63: big/little endian
- Save/Restore Registers: SRR0 ja SRR1**
 - Käytetään keskeytyksäsittelyn yhteydessä
 - Talletuspaikka PC'lle ja MSR'ille

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 11

PowerPC: Keskeytykset

- CPU:n sisäiset vs. ulkoiset** Sta06 Tbl 12.6
- Keskeytyksäsittelijään siirtyminen (laitetoiminto)**
 - SRR0 • PC
 - SRR1 • MSR + tyyppiin sidottua tietoa
 - MSR • keskeytystyyppiin mukaan määräytyvää tietoa
 - Etuoikeutettu ON, keskeytykset OFF, osoitemuunnos OFF
 - Muut bitit määräytyvät keskeytyksen perusteella
 - PC • Keskeytyksäsittelijän osoite
 - Nouda keskeytysvektorista keskeytyksen "numerolla"
 - Bitti 57: mahdollisuus määrittellä kaksi vektoria
- Paluu**
 - Etuoikeutettu rfi-käsky (return from interrupt)
 - MSR • "reset" ja kopioi SRR1:stä
 - PC • SRR0

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 12

Tietokoneen rakenne

Luento 9

RISC-arkkitehtuuri

Ch 13 [Sta06]

- n Käskyanalyysia
- n RISC vs. CISC
- n Rekisterien käytöstä

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 13

Laitteistotason virstanpylväitä

- [Atlas] Virtuaalimuisti, 1962 [Tom Kilburn]
 - u Helpompi muistinhallinta
- [Atlas] Liukuhlma, 1962 [Tom Kilburn]
- [IBM S/360, DEC PDP-8] Arkkitehtuuriperhe, 1964 [Gene Amdahl]
 - u Samaa käskykantaan noudattavia koneita
- [IBM S/360] Mikro-ohjelmoitu kontrolli, 1964 [Maurice Wilkes]
 - u Käskykantaan helpompi kehittää
- [Unvac] Moniprosessorijärjestelmä, 1964 [J.P. Eckert, John Mauchly]
 - u test_and_set käsky tarpeen
- [IBM S/360] Väilmuisti, 1965 [Maurice Wilkes]
 - u Huikkea suorituskykyparannus
- [IBM] RISC-arkkitehtuuri, 1980 [John Cocke, 1974] [J.L. Hennessy & D.A. Patterson]
 - u Yksinkertainen käskykanta
- [IBM, Intel] Superscalar CPU, 1989 [John Cocke, 1965]
 - u Useita käskyjä valmiiksi per syklillä [Intel]
- [Intel] Hyperthreading CPU, 2001 [CDC, 1964] [Intel]
 - u Uusia rekisterijoukkoja ja virtuaalisuoritin lastulla [Intel]
- [Intel] Multicore CPU, 2005 [Intel] [IBM]
 - u Uusia täydellisiä suoritin lastulla

[Intel, Sony-Toshiba-IBM]

"Perinteiset" koneet

- n **Kantavia Ideoita**
 - u Kutista lausekielen ja konekielen semanttista kuilua
 - § Lausekielen ilmaisuvoima kehittynyt
 - u Kääntämisen helppous
 - § Lausekielen rakenteilla vastineet konekielissä
 - § Käskykanta valikoitu usein tietty lausekieli mielessä
 - u Paljon erilaisia käskyjä moniin tarkoituksiin
 - u Paljon erilaisia datatyyppiä
 - u Paljon erilaisia osoitusmuotoja
 - u Tee asiat laitetoimintoina, ei ohjelmallisesti
 - § Vähemmän konekielisiä käskyjä suoritettavana
 - § Monimutkaisten operaatioiden suorittaminen tehokasta
- = **CISC** (Complex Instruction Set Computer)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 15

Mitä operaatioita / operandeja?

- n Vuosi 1982, kohde: VAX, PDP-11, Motorola 68000
- n Dynaaminen, suoritusaikainen tarkastelu

	Dynamic Occurrence		Machine-Instruction Weighted		Memory-Reference Weighted	
	Pascal	C	Pascal	C	Pascal	C
ASSIGN	45%	38%	13%	13%	14%	15%
LOOP	5%	3%	42%	32%	33%	26%
CALL	15%	12%	31%	33%	44%	45%
IF	29%	43%	11%	21%	7%	13%
GO TO	—	3%	—	—	—	—
OTHER	6%	1%	3%	1%	2%	1%

Weighted Relative Dynamic Frequency of HLL Operations [PATT82a]

	Pascal	C	Average
Integer Constant	16%	23%	20%
Scalar Variable	58%	53%	55%
Array/Structure	26%	24%	25%

80% viittauksista aliohjelmien paikallisiin

[Sta06 Table 13.2, 13.3]

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 16

Aliohjelmakutsut?

- n Aliohjelmakutsuja paljon
- n Kutsussa harvoin monta parametria
- n Kutsut harvoin sisäkkäisiä

Percentage of Executed Procedure Calls With	Compiler, Interpreter, and Typesetter	Small Nonnumeric Programs
>3 arguments	0-7%	0-5%
>5 arguments	0-3%	0%
>8 words of arguments and local scalars	1-20%	0-6%
>12 words of arguments and local scalars	1-6%	0-3%

Procedure Arguments and Local Scalar Variables

- n Em. tietojen hyödyntäminen?
 - 98% alle 6 parametria
 - 92% alle 6 paikallista muuttujaa

(Sta06 Table 13.4)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 17

Huomioita

- n Pääosa operandeista yksinkertaisia
- n Hyppykäskyjä runsaasti
- n Kääntäjät eivät aina hyödynnä tarjolla olevia monipuolisia konekäskyjä
 - u Käyttävät vain osaa käskykannan käskyistä
- n Johtopäätökset?

Occamin partaveitsi (Occam's razor)

"Entia non sunt multiplicanda praeter necessitatem"
 ("Entities should not be multiplied more than necessary")

William Of Occam (1300-1349)
English monk, philosopher

"It is vain to do with more that which can be done with less"

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 18

Optimointia

- Optimoi asioita, joissa kuluu eniten aikaa
 - Aliohjelmakutsut, silmukat, muistiinviittaukset, ...
- Esimerkki huonosta optimoinnista
 - Tuplaa liukulukuaritmetiikan nopeus
 - 10% käskyissä liukulukuaritmetiikkaa


$$\text{ExTime}_{\text{new}} = \text{ExTime}_{\text{old}} * (0.9 * 1.0 + 0.1 * 0.5)$$

$$= 0.95 * \text{ExTime}_{\text{old}}$$

$$\text{Speedup} = \text{ExTime}_{\text{old}} / \text{ExTime}_{\text{new}} = 1 / 0.95 = 1.053 \ll 2$$

Amdahlin laki

Speedup due to an enhancement is proportional to the fraction of the time (in the original system) that the enhancement can be used.



Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 19

Optimointia

- Optimoi suoritusnopeutta, älä kääntämisen helppoutta / suoravilvalsuutta
 - Kääntäjät erinomaisia, koneet tehokkaita
 - Osaavat ja ehtivät optimoida
 - Tee yleisimmät tehtävät laitetoimintoina, tehokkaasti
 - Esim. 1-uloitteisen taulukkoon viittaus
 - Tee loput ohjelmallisesti
 - Esim. merkijonon muunnos
 - Tarjoa valmiit kirjastorutiinit

Ø RISC arkkitehtuuri (Reduced Instruction Set Computer)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 20

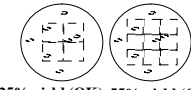
RISC arkkitehtuuri

- Paljon rekisteriä (väh. 32)
 - Kääntäjät optimoimaan rekistereiden käyttöä
- LOAD / STORE arkkitehtuuri
 - Vain LOAD ja STORE viittaavat muistiin
- Vain vähän ja yksinkertaisia käskyjä
- Yksinkertainen vakio pituinen käskyformaatti (32b)
 - Käskyjen nouto ja dekodaus helppoa
- Vain vähän ja yksinkertaisia osoitusmuotoja
 - Ei epäsuoraa osoitusta
 - Nopea operandin osoitelaskenta
- Vähän erilaisia operandeja
 - 32 b:n kokonaisluvut, liukuluvut
- Kullakin syklillä valmistuu yksi tai useampi käsky

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 21

RISC arkkitehtuuri

- CPU helpompi implementoida
 - Liukuhinnaa helpompi hallita ja optimoida
 - Langoitettu toteutus (hardwired)
- Pienempi piirin koko
 - Enemmän per lastu
 - Pienempi hukka%
- Halvemmat kustannukset
- Nopeammin markkinoille



25% yield (OK) 55% yield (OK)
75% hukkaan 45% hukkaan

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 22

RISC vs. CISC

Characteristic	Complex Instruction Set (CISC) Computer			Reduced Instruction Set (RISC) Computer		Superscalar		
	IBM 370/148	VAX 11/780	Intel 80486	SPARC	MIPS R4000	PowerPC	Ultra SPARC	MIPS R10000
Year developed	1973	1978	1989	1987	1991	1993	1996	1996
Number of instructions	208	303	235	69	94	225		
Instruction size (bytes)	2-6	2-57	1-11	4	4	4	4	4
Addressing modes	4	22	11	1	1	2	1	1
Number of general-purpose registers	16	16	8	40-520	32	32	40-520	32
Control memory size (Kbits)	420	480	246	—	—	—	—	—
Cache size (KBytes)	64	64	8	32	128	16-32	32	64

Characteristics of Some CISCs, RISCs, and Superscalar Processors

(Sta06 Table 13.1)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 23

RISC vs. CISC

Processor	Number of instruction sizes	Max instruction size in bytes	Number of addressing modes	Indirect addressing	Load/store combined with arithmetic	Max number of memory operands	Unaligned addressing allowed	Max Number of MMU uses	Number of bits for integer register specifier	Number of bits for FP register specifier
AMD29000	1	4	1	no	no	1	no	1	8	3*
MIPS R2000	1	4	1	no	no	1	no	1	5	4
SPARC	1	4	2	no	no	1	no	1	5	4
MC88000	1	4	3	no	no	1	no	1	5	4
HP PA	1	4	10*	no	no	1	no	1	5	4
IBM RT/PC	2*	4	1	no	no	1	no	1	4*	3*
IBM RS/6000	1	4	4	no	no	1	yes	1	5	5
Intel i860	1	4	4	no	no	1	no	1	5	4
IBM 3090	4	8	2*	no ^b	yes	2	yes	4	4	2
Intel 80486	12	12	15	no ^b	yes	2	yes	4	3	3
NSC 32016	21	21	23	yes	yes	2	yes	4	3	3
MC68040	11	22	44	yes	yes	2	yes	8	4	3
VAX	56	56	22	yes	yes	6	yes	24	4	0
Clipper	4*	8*	9*	no	no	1	0	2	4*	3*
Intel 80960	2*	8*	9*	no	no	1	yes*	—	5	3*

a RISC that does not conform to this characteristic.
b CISC that does not conform to this characteristic.

(Sta06 Table 13.7)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 24

Tietokoneen rakenne

Rekistereiden käytöstä

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 25

Rekisterijoukko

Enemmän rekistereitä kuin käskyssä voi viitata

- Esim. SPARCissa rekisterinro 5 b ž suurin nro 32, mutta CPUssa 40-540 rekisteriä

Kerralla käytössä vain osa rekistereistä, ikkuna

- Ikkunaan viitataan esim. rekisterinumeroilla r0-r31
- CPU kuvaa ne tod. rekisterinumeroiksi, esim. r0-r539

(Sta06 Fig 13.3)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 26

Rekisteri-ikkuna

Allojelmakutsu käyttää pinon sijasta rekistereitä

- Kutsussa kiinteä määrä rekistereitä parametreille sekä paikallisille muuttujille
- Varaukset limittäin siten, että parametrit käytettävissä sekä kutsuvassa että kutsutussa osassa

(Sta06 Fig 13.1)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 27

Rekisteri-ikkuna

Jos sisäkkäisiä kutsuja paljon

- Rekisterijoukko voi loppua kesken
- Talleta vanhin muistiin, lataa takaisin, kun paluu hämöttää
- Kutsuketju harvoin pitkä, talletus/palautus harvoin

Globaalit muuttujat?

- Muistissa tai oma rekisteri-ikkuna

SPARC

- r0-r7 globaaleille **todelliset rekisterit**
- r8-r15 parametrit (kutsutussa) **virtuaaliset rekisterit**
- r16-r23 lokaalit muuttujat
- r24-r31 parametrit (kutsujassa)

(Sta06 Fig 13.2)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 28

Rekisterijoukko vs. Välimuisti

Large Register File	Cache
All local scalars	Recently-used local scalars
Individual variables	Blocks of memory
Compiler-assigned global variables	Recently-used global variables
Save/Restore based on procedure nesting depth	Save/Restore based on cache replacement algorithm
Register addressing	Memory addressing

(Sta06 Table 13.5)

- Kääntäjän vaikea päätellä etukäteen mitkä **globaalit** muuttujat pitäisi sijoittaa rekistereihin
- Välimuisti ratkaisee sen dynaamisesti
 - Eniten viitatus pysyvät välimuistissa

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 29

Kääntäjä: Rekistereiden allokointi

Verkon värittäminen

- Etsi pieniin värimääriä s.e. verkon kahdella vierekkäisellä solmulla ei ole sama väri!

Ärsyttävän vaikea ongelma (NP-täydellinen)

Laskennan teoria -kurssin asioita

Analysoi koodia, ja muodosta verkko symbolisten rekistereiden käytöstä

- Symbolinen rekisteri ~ mikä tahansa, mikä voisi olla rekisterissä
- Yhdistä samaan aikaan käytössä olevat symboliset rekisterit

Allokoi sitten oikeat rekisterit

- Jos kahta symbolista rekisteriä ei käytetä samanaikaisesti (ne eivät ole vierekkäisiä verkossa), niille voi allokoida saman todellisen rekisterin
- Jos rekistereitä ei vapaana, käytä muistia

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 30

Kääntäjä: Rekistereiden allokointi

- solmu = symbolinen rekisteri
- särmä = symbolisten rekistereiden yhtäaikainen käyttö
- n väriä = n rekisteriä

(a) Time sequence of active use of registers (b) Register interference graph

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 31

RISC-liukuhihna

(a) Sequential execution (b) Two-stage pipelined timing (c) Three-stage pipelined timing (d) Four-stage pipelined timing

Single port MEM Two port MEM (split cache enough?)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 32

RISC-liukuhihna, Delayed Branch

1	2	3	4	5	6	7	8
I	E	D					
	I	E					
		I	E				
			I	E			
				I	E	D	

Traditional

1	2	3	4	5	6	7	8
I	E	D					
	I	E					
		I	E				
			I	E			
				I	E	D	

RISC with inserted NOOP Two port MEM

1	2	3	4	5	6	7	8
I	E	D					
	I	E					
		I	E				
			I	E			
				I	E	D	

RISC with reversed instructions

(Sta06 Fig 13.7)

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 33

RISC & CISC United?

- Pentium, CISC**
 - Laitetoiminto kääntää 1 - 11 tavun pituisen CISC-käskyn yhdeksi tai useammaksi 118 bittiseksi mikro-operaatioksi (L1 tason käskyvälimuistiin)
 - Alemmat tasot kuten RISC
 - Paljon työrekestereitä: laitteisto ottaa käyttöön
- Crusoe (Transmeta)**
 - Ulospäin CISC-arkkitehtuuri
 - Käskyjoukot käännetään ohjelmallisesti juuri ennen suoritusta kiinteänpituisiksi mikro-operaatioksi, operaatioiden optimointia per käskyjoukko
 - VLIW (very long instruction word, 128 bits)
 - 4 uops/VLIW-käsky
 - Alemmat tasot kuten RISC

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 34

Kertauskysymyksiä

- Mitkä ovat RISC arkkitehtuurin tunnuspiirteet?
- Miten rekisteri-ikkunoita käytetään?

Tietokoneen rakenne / 2007 / Liisa Marttinen 28.11.2007 Luento 9 - 35